

JP09289257 A

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICES

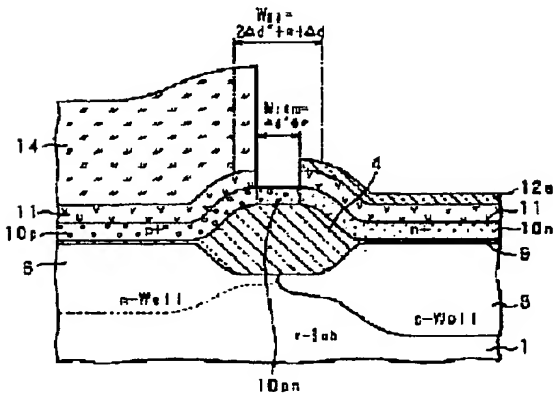
SONY CORP

Inventor(s): TSUCHIYA YOSHIKO

Application No. 08100232 JP08100232 JP, Filed 19960422, A1 Published 19971104

**Abstract:** PROBLEM TO BE SOLVED: To make it possible to remove selectively WSix (Tungsten silicide) film, even on a narrow field oxide film, in order to prevent mutual diffusion of both impurity, P-type and N-type, contained in the W-polycide gate electrode of Dual Gate CMOS.

**SOLUTION:** An area where nMOS is to be formed is covered by SiO<sub>x</sub> mask 12a and the second resist pattern 14(PR) being apart from its pattern edge by the distance of removal width Wrem is formed on an area where pMOS is to be formed. After n<sup>+</sup>-type area 10n is formed by making an ion implantation on a polysilicon film by applying the second PR14 as masking, the WSix film 11 is removed by the removal width Wrem by applying both patterns 12a and 14 as masking. The variation of the removal width Wrem depends on only the error  $\Delta d'$  caused by overlap of the second PR14 and a required forming width WFI of the field oxide film 4 is completed just by adding an overlap error of both patterns 12a and 14 to both areas of Wrem.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289257

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		21/28	3 0 1 D
	21/28	3 0 1	21/88	Q
	21/3205		29/78	3 0 1 Y
	29/78			

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平8-100232

(22) 出願日 平成8年(1996)4月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 土屋 賀子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

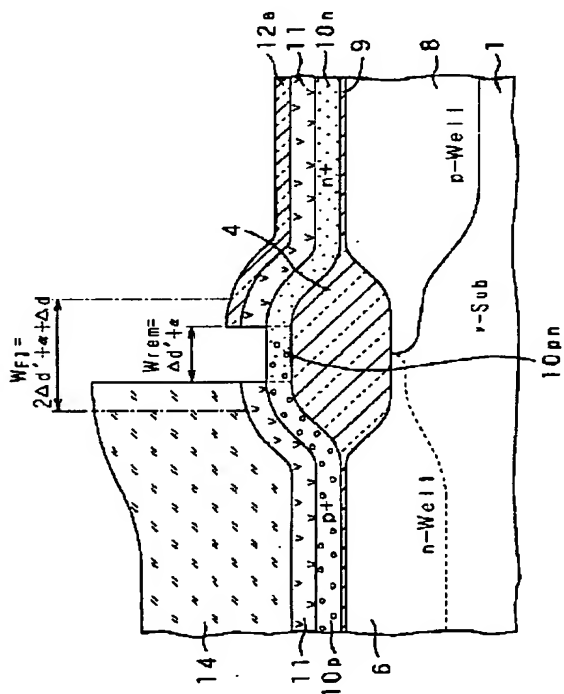
(74) 代理人 弁理士 小池 晃 (外2名)

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 デュアルゲート型CMOSのW-ポリサイド・ゲート電極に含まれるp型、n型の両不純物の相互拡散を防止するためのWSi<sub>x</sub>膜の選択除去を、狭いフィールド酸化膜上でも可能とする。

【解決手段】 nMOS形成予定領域をSiO<sub>x</sub>マスク12aで覆い、そのパターン・エッジから除去幅Wremだけ離間した第2レジスト・パターン14 (PR) をpMOS形成予定領域に形成する。第2PR14をマスクとしてポリシリコン膜にイオン注入を行ってn<sup>+</sup>型領域10nを形成した後、これら両パターン12a、14をマスクとして除去幅WremだけWSi<sub>x</sub>膜11を除去する。除去幅Wremの変動要因は第2PR14の重ね合わせ誤差Δd' だけであり、フィールド酸化膜4の必要形成幅W<sub>F1</sub>はWremの両側に両パターン12a、14の重ね合わせ誤差を加えただけで済む。



p+型ポリシリコン膜とn+型ポリシリコン膜の境界部における  
WSi<sub>x</sub>膜の選択除去工程

**【特許請求の範囲】**

**【請求項1】** 第1導電型不純物を含む第1導電型領域と第2導電型不純物を含む第2導電型領域とが互いに隣接形成されてなるポリシリコン膜と、該ポリシリコン膜より比抵抗の小さい低抵抗導電膜とがこの順に積層されてなる積層膜を用いて電極パターンを形成する半導体装置の製造方法であって、真性ポリシリコン膜とこれより比抵抗の小さい低抵抗導電膜とをこの順に積層して積層膜を成膜する第1工程と、前記積層膜上にこれとエッチング選択比を確保し得るマスク用材料膜を成膜する第2工程と、前記マスク用材料膜上において前記第2導電型領域と実質的に対応する領域を第1レジスト・パターンで被覆する第3工程と、前記第1レジスト・パターンをエッチング・マスクとし、前記マスク用材料膜の露出部を選択的に除去する第4工程と、前記第1レジスト・パターンを不純物導入マスクとし、前記真性ポリシリコン膜中、前記第1導電型領域と実質的に対応する領域へ第1導電型不純物を導入する第5工程と、前記第1レジスト・パターンを除去する第6工程と、前記低抵抗導電膜上において前記第1導電型領域と実質的に対応する領域を、前記の選択的除去により生じた前記マスク用材料膜のパターン・エッジから所定距離だけ離間する第2レジスト・パターンで被覆する第7工程と、前記第2レジスト・パターンを不純物導入マスクとし、前記ポリシリコン膜の前記第2導電型領域と実質的に対応する領域へ第2導電型不純物を導入する第8工程と、前記第2レジスト・パターンと前記マスク用材料膜のパターンとを共にエッチング・マスクとし、前記低抵抗導電膜の露出部を選択的に除去する第9工程と、前記第2レジスト・パターンを除去する第10工程とを有する半導体装置の製造方法。

**【請求項2】** 前記第7工程では、後の第9工程における前記低抵抗導電膜の除去幅を決定する前記所定距離を、前記第2レジスト・パターンの重ね合わせ誤差より大きく設定する請求項1記載の半導体装置の製造方法。

**【請求項3】** 前記第9工程における前記低抵抗導電膜の露出部を素子分離領域上に設ける請求項1記載の半導体装置の製造方法。

**【請求項4】** 前記第4工程と前記第5工程の順番を入れ換える請求項1記載の半導体装置の製造方法。

**【請求項5】** 前記第8工程と前記第9工程の順番を入れ換える請求項1記載の半導体装置の製造方法。

**【請求項6】** 前記第10工程を終了後、前記マスク用材料膜のパターンを除去する第11工程を設ける請求項1記載の半導体装置の製造方法。

**【請求項7】** 前記第10工程と前記第11工程の順番を入れ換える請求項6記載の半導体装置の製造方法。

**【請求項8】** 前記低抵抗導電膜が金属シリサイド膜または金属膜である請求項1記載の半導体装置の製造方法。

**【請求項9】** 前記マスク用材料膜がSiO<sub>x</sub>系膜またはSiN系膜である請求項1記載の半導体装置の製造方法。

**【請求項10】** 前記第1導電型領域と前記第2導電型領域とをそれぞれ用いて逆の導電型のトランジスタのゲート電極を形成する請求項1記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、ポリシリコン膜の一部をn<sup>+</sup>型化してn型MOSトランジスタ（nMOS）のゲート電極を形成し、他部をp<sup>+</sup>型化してp型MOSトランジスタ（pMOS）のゲート電極を形成するいわゆるデュアル・ゲート型相補型MOSトランジスタ（CMOS）の製造において、ゲート電極に含まれるn型不純物とp型不純物の相互拡散を防止し、pMOSの性能向上を図る方法に関する。

**【0002】**

**【従来の技術】** 同一基板上にn型MOSトランジスタ（nMOS）とp型MOSトランジスタ（pMOS）とを共存させた相補型MOSトランジスタ（CMOS）回路は、両トランジスタのオン時のみ電流が流れるため消費電力が低く、またその構造から微細化や高集積化に適し、高速動作が実現可能であるといった利点を有し、メモリ系デバイスやロジック系デバイスをはじめとする多くのLSIの構成要素として広く用いられている。

**【0003】** 従来からCMOSのゲート電極材料としては、基本的にn<sup>+</sup>型ポリシリコン膜が用いられてきた。これは、この膜が耐熱性に優れていることもさることながら、pMOSのチャネル・プロファイルが埋込み型となるために高いバルク移動度を利用して動作を高速化できるからであった。しかし、埋込みチャネル型ではソース／ドレイン領域から迫り出している空乏層の先端がゲート電界の影響により基板の深い部分で互いに接近するため、パンチスルーが生じ易いという問題がある。したがって、おおよそサブミクロン世代までは埋め込みチャネル型の採用による高速化のメリットを享受できたが、ハーフミクロンあるいはクォーターミクロン以降の世代では短チャネル効果の抑制困難というデメリットが大きくなる。このため、pMOSについても表面チャネル型の採用が望まれるようになった。そこで提案されたのが、nMOSのゲート電極の導電型をn<sup>+</sup>型、pMOSのゲート電極の導電型をp<sup>+</sup>型とすることにより、nMOSとpMOSのチャネル・プロファイルを共に表面型とする構成である。かかる構成を有するCMOSは、デ

デュアルゲート型CMOSと呼ばれている。デュアルゲート型CMOSにはこの他にも、動作速度を低下させずにCMOSインバータとして基本ゲートを構成した場合の信号伝達特性を対称化できるという重要なメリットがある。

【0004】すなわち、nMOS、pMOS双方のゲート電極を共に $n^+$ 型ポリシリコン膜で形成する従来型のCMOSでは、nMOSとpMOSとの仕事関数差に起因する閾値電圧 $V_{th}$ の非対称性を解消するために、pMOSのチャネル領域に高濃度に不純物を導入しなければならないが、このことが基板表面付近のキャリア移動度を低下させ、動作高速化を妨げる原因となっていた。しかし、デュアルゲート型であれば、 $V_{th}$ 制御は不純物濃度ではなくゲート電極の仕事関数制御を通じて行われるため、チャネル領域の不純物濃度をそれほど高める必要がなくなるからである。

【0005】かかるデュアルゲート型CMOSの製造に際しては、真性ポリシリコン膜の区分けされた領域にn型ゲート不純物とp型ゲート不純物をそれぞれ導入する工程が必要である。この導入は、典型的にはマスクを介したイオン注入により行われる。

【0006】ところで、近年の微細なデザイン・ルールにもとづくMOSトランジスタでは、n型あるいはp型のゲート不純物を含有するポリシリコン膜を単独でゲート電極の形成に用いることは少なく、この上に比抵抗が遥かに低い金属シリサイド膜あるいは金属膜を積層した形、すなわちポリサイド膜やポリメタル膜の形で用いることが一般化している。これは、LSIの微細化および高集積化の進展と共に、ポリシリコン・ゲート電極の配線抵抗による信号の遅延がLSIの動作速度に対して無視できないレベルとなってきたからである。最も代表的なゲート電極材料は、不純物含有ポリシリコン膜とWSix（タングステン・シリサイド）膜とを積層したW（タングステン）-ポリサイド膜である。

【0007】しかしながら、ポリサイド膜やポリメタル膜を用いてデュアルゲート型CMOSのゲート電極を形成すると、ポリシリコン膜の区分けされた領域にそれぞれ導入されたn型不純物とp型不純物とが金属シリサイド膜や金属膜を媒介として相互に拡散し、これによりデバイス特性が劣化する問題がある。これは、金属シリサイド膜や金属膜中における不純物の拡散速度が、シリコン膜やSiO<sub>2</sub>膜中のそれに比べて遥かに大きいからである。このような現象が生ずると、ポリシリコン膜中に区画形成された $n^+$ 型領域と $p^+$ 型領域の双方において不純物濃度が補償されてしまい、ポリシリコン膜のフェルミ準位の変動あるいはゲート電圧印加時のゲート電極の空乏化に起因して $V_{th}$ が変動してしまう。

【0008】そこで、ポリシリコン膜の $n^+$ 型領域と $p^+$ 型領域との境界近傍において、不純物拡散速度の速い金属シリサイド膜または金属膜を選択的に除去すること

により、相互拡散を抑制するプロセスが考えられている。このプロセスを、図12ないし図16を参照しながら説明する。

【0009】図12は、低濃度n型（ $v$ 型）のSi基板31（ $v$ -Sub）上に通常の選択酸化分離法（LOCOS法）法によりフィールド酸化膜32を形成し、pMOS形成予定領域にn型ウェル33（ $n$ -Well）、nMOS形成予定領域にp型ウェル34（ $p$ -Well）を形成し、表面酸化によるゲート酸化膜35（SiO<sub>2</sub>）の形成を経てW-ポリサイド膜を成膜した状態を示している。このW-ポリサイド膜は、真性ポリシリコン膜36i（polySi）（添字iは真性であることを表す。）とWSix膜37とがこの順に積層されたものである。

【0010】上記真性ポリシリコン膜36iに対しては、次に各導電型のMOS形成予定領域に応じたゲート不純物を導入する必要がある。そこでまず、図13に示されるように、nMOS形成予定領域をレジスト・パターン38（PR）で被覆し、pMOS形成予定領域にp型ゲート不純物としてホウ素（B<sup>+</sup>）をイオン注入する。これにより、上記真性ポリシリコン膜36iのうちpMOS形成予定領域が $p^+$ 型領域36p（添字pは、導電型が $p^+$ 型であることを表す。）となる。

【0011】なお、上記レジスト・パターン38を形成するためのフォトリソグラフィでは、上記フィールド酸化膜32を位置合わせのターゲットとして用いる。したがって、レジスト・パターン38のパターン・エッジがフィールド酸化膜32の中央に位置することが理想的である。しかし実際には、ステッパの投影レンズの収差、基板ステージの姿勢誤差、重ね合わせ精度測定系の測定誤差その他様々な要因により、若干の重ね合わせ誤差 $\Delta d$ が発生することは避けられない。

【0012】次に、図14に示されるように、pMOS形成予定領域をレジスト・パターン39（PR）で被覆し、nMOS形成予定領域にn型ゲート不純物としてリン（P<sup>+</sup>）をイオン注入する。これにより、上記真性ポリシリコン膜36iのうちnMOS形成予定領域が $n^+$ 型領域36n（添字nは、導電型が $n^+$ 型であることを表す。）となる。なお、上記レジスト・パターン39についても前述のレジスト・パターン38の場合と同様、フィールド酸化膜32上で重ね合わせ誤差 $\Delta d$ が発生する。

【0013】ここまでの工程により、ポリシリコン膜内では $p^+$ 型領域36pと $n^+$ 型領域36nとが隣接形成された状態となる。ただし、レジスト・パターン38、39をそれぞれ形成するために計2回のフォトリソグラフィを経ているため、各回で発生し得る重ね合わせ誤差 $\Delta d$ を考慮すると、両領域36p、36nの境界位置は、最大 $2\Delta d$ の範囲内で変動している可能性がある。

【0014】ところで、かかるポリシリコン膜の上には

不純物拡散速度の大きいWSi膜37が積層されており、このWSi膜37を媒介としたpn両ゲート不純物の相互拡散が発生する原因となっている。そこで、上記p<sup>+</sup>型領域36pと上記n<sup>+</sup>型領域36nの境界近傍において上記WSi膜37を除去しなければならない。この除去をたとえばドライエッチングで行う場合、まず図15に示されるように、上記境界近傍に開口を有するレジスト・パターン40(PR)をエッチング・マスクとして形成する。このレジスト・パターン40を形成する際のフォトリソグラフィでもフィールド酸化膜32が位置合わせのターゲットとして用いられるが、このとき必然的に重ね合わせ誤差 $\Delta d'$ が発生することにより、開口位置が図中一点鎖線側、あるいは破線側へずれる可能性がある。

【0015】ここで、上記レジスト・パターン40の必要開口幅 $W_{RE}$ について検討しておかなければならない。上記WSi膜37の中で、必ず除去すべき範囲は $2\Delta d$ である。なぜなら、前述したごとく、p<sup>+</sup>型領域36pとn<sup>+</sup>型領域36nの境界位置が $2\Delta d$ の範囲内で変動している可能性があるからである。したがって、上記レジスト・パターン40の開口位置が図15の一点鎖線側あるいは破線側のどちらへ $\Delta d'$ だけずれた場合にも、その中央に $2\Delta d$ の幅が常に確保されるようにしなければならない。したがって、レジスト・パターン40の必要開口幅 $W_{RE}$ は、  

$$W_{RE} = 2\Delta d + 2\Delta d'$$
 となる。

【0016】上記レジスト・パターン40をマスクとしてドライエッチングを行うことによりWSi膜37の露出部を選択的に除去し、さらにレジスト・パターン40をアッシングにより除去した状態を図16に示す。これにより、p型ゲート不純物とn型ゲート不純物の拡散経路が断たれたことになる。

【0017】かかる金属シリサイド膜の分断による不純物相互拡散の防止は、上述のような金属シリサイド膜の選択除去プロセスではなく、金属シリサイド膜の選択形成プロセスにより達成することもできる。たとえば、特開平3-203366号公報には、真性(ノンドープ)のポリシリコン膜をゲート電極形状にパターニングした後、このパターンの中でpMOSとnMOSの境界となるべき領域をSiO<sub>x</sub>膜パターンで被覆し、続いて基体の全面にTi膜をスパッタ成膜し、アニールを行ってポリシリコン膜とTi膜との接触部位のみシリサイド化を進行させることにより、最初から分断されたTiSi<sub>x</sub>膜を形成する方法が開示されている。つまり、SALICIDE (self-aligned silicidation = 自己整合的シリサイド化) プロセスの応用により、pMOSとnMOSの境界領域にのみ金属シリサイド膜を形成させない方法である。この境界領域は、もちろんフィールド酸化膜上にある。ノンドープのポリシリコン膜へのp型不純

物とn型不純物のイオン注入は、このシリサイド化の後、に各々レジスト・パターンを介して行っている。

【0018】

【発明が解決しようとする課題】しかしながら、従来の金属シリサイド膜の分断方法では、(1)分断領域を規定するためのパターン形成、(2)p型ゲート不純物のイオン注入のためのマスク形成、(3)n型ゲート不純物のイオン注入のためのマスク形成、の各段階で1回ずつ、計3回のフォトリソグラフィが必要となる。このため、各回で発生する重ね合わせ誤差を考慮すると、分断領域の幅をある程度余裕をもって設定せざるを得ない。このため、結果的にフィールド酸化膜の幅を大きくしておかなければならず、回路面積が増大するという問題がある。

【0019】たとえば、前掲の図12ないし図16にわたるプロセスを例として説明すると、上述の(1)分断領域を規定するためのパターンとは、図15に示されるレジスト・パターン40である。このレジスト・パターン40の必要開口幅 $W_{RE}$ は、前述のとおり $2\Delta d + 2\Delta d'$ であるが、その土台となるべきフィールド酸化膜32の必要形成幅 $W_{FI}$ は、該レジスト・パターン40が図中の一点鎖線側、破線側のどちらにずれても開口がフィールド酸化膜32上に収まる様、 $W_{RE}$ の両側にさらに $\Delta d'$ を加えた幅、すなわち、  

$$W_{FI} = W_{RE} + 2\Delta d'$$

$$= 2\Delta d + 4\Delta d'$$
 としておかなければならない。

【0020】一方、特開平3-203366号公報に記載される方法では、(1)分断領域を規定するためのパターンとは、シリサイド化のマスクとなるSiO<sub>x</sub>膜パターンである。この方法では、p型ゲート不純物およびn型ゲート不純物のイオン注入のマスクとなるレジスト・パターンをそれぞれ上記SiO<sub>x</sub>膜パターンを位置合わせのターゲットとして形成することになるため、このSiO<sub>x</sub>膜パターンの幅にある程度の余裕を持たせておく必要がある。さらにこのSiO<sub>x</sub>膜パターンは、フィールド酸化膜を位置合わせのターゲットとして形成されるので、該フィールド酸化膜の幅にもある程度の余裕を持たせておく必要がある。このため、フィールド酸化膜の必要形成幅としては、基本的に上述の $W_{FI}$ と同等分が必要となる。

【0021】現状の半導体プロセスでは、重ね合わせ誤差の許容範囲はデザイン・ルールDの1/3程度とされている。そこで、上記の重ね合わせ誤差 $\Delta d$ 、 $\Delta d'$ を共にD/3と近似すると、上述のフィールド酸化膜32の必要形成幅 $W_{FI}$ はおおよそ2Dとなる。素子形成に関与しない領域について、このようにデザイン・ルールの2倍にも相当する幅を確保しなければならないことは、LSIの高集積化に伴って回路面積ひいてはチップ寸法が大幅に拡大してしまうことを意味しており、高集積化

を図る上での障害となる。

【0022】そこで本発明は、デュアルゲート型CMOSのゲート電極に含まれるp型、n型の両ゲート不純物の相互拡散を抑制するためにフィールド酸化膜上で金属シリサイド膜または金属膜を分断する場合にも、分断領域の幅を縮小し、これにより回路面積の拡大を防止できる半導体装置の製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明は、ポリサイド膜またはポリメタル膜に対してエッチング選択比を確保し得るレジスト・パターン以外のマスク用材料膜を活用することにより、一部のレジスト・パターンをイオン注入マスクとエッチング・マスクの両方に利用できる様にし、これにより従来行われていた様な分断領域の規定のみを目的とする1回分のフォトリソグラフィを廃して重ね合わせ誤差の発生回数を減らすことで、フィールド酸化膜の必要形成幅を縮小しようとするものである。

【0024】すなわち、本発明の半導体装置の製造方法は、真性ポリシリコン膜とこれより比抵抗の小さい低抵抗導電膜とをこの順に積層して積層膜を成膜する第1工程と、前記積層膜上にこれとエッチング選択比を確保し得るマスク用材料膜を成膜する第2工程と、前記マスク用材料膜上において前記第2導電型領域と実質的に対応する領域を第1レジスト・パターンで被覆する第3工程と、前記第1レジスト・パターンをエッチング・マスクとし、前記マスク用材料膜の露出部を選択的に除去する第4工程と、前記第1レジスト・パターンを不純物導入マスクとし、前記ポリシリコン膜中、前記第1導電型領域と実質的に対応する領域へ第1導電型不純物を導入する第5工程と、前記第1レジスト・パターンを除去する第6工程と、前記低抵抗導電膜上において前記第1導電型領域と実質的に対応する領域を、前記の選択的除去により生じた前記マスク用材料膜のパターン・エッジから所定距離だけ離間する第2レジスト・パターンで被覆する第7工程と、前記第2レジスト・パターンを不純物導入マスクとし、前記ポリシリコン膜の前記第2導電型領域と実質的に対応する領域へ第2導電型不純物を導入する第8工程と、前記第2レジスト・パターンと前記マスク用材料膜のパターンとを共にエッチング・マスクとし、前記低抵抗導電膜の露出部を選択的に除去する第9工程と、前記第2レジスト・パターンを除去する第10工程とを有するものである。

【0025】

【発明の実施の形態】本発明の半導体装置の製造方法によれば、第1レジスト・パターンは第1導電型領域へのイオン注入マスクとして用いられると共に、第2導電型領域を保護するエッチング・マスクとなるべきマスク材料膜のパターンを規定する役目を果たす。つまり、第1レジスト・パターンを形成した段階で、低抵抗導電膜の分断領域の幅、すなわち除去幅の一端は既に規定された

ことになる。第2導電型領域へのイオン注入マスクとなる第2レジスト・パターンは、このマスク材料膜のパターンを位置合わせのターゲットとし、そのパターン・エッジから所定距離だけ離間して形成されることになるが、このときの所定距離は、第2レジスト・パターンの重ね合わせ誤差よりも大きく設定する。実際上は、最低限除去すべき幅（以下、最小除去幅と称する。）に第2レジスト・パターンの重ね合わせ誤差を加えた距離となる。なお、最小除去幅とは、重ね合わせ誤差と同程度であれば十分である。これにより、分断領域の他端が規定されたことになる。後は、この第2レジスト・パターンをイオン注入マスクとエッチング・マスクの両方として利用することができる。

【0026】したがって、除去幅の設定に際し、従来の方法では第1レジスト・パターンと第2レジスト・パターンの形成時にそれぞれ発生し得る重ね合わせ誤差の両方を考慮しなければならなかったのに対し、本発明では第2レジスト・パターンの形成時に発生し得る誤差だけを考慮すれば良く、幅の変動要素も変動量も減少する。フィールド酸化膜の必要形成幅は、上記の除去幅の両側にその規定に影響を与えるレジスト・パターンの重ね合わせ誤差を加算して求められる。このとき、加算分そのものは従来法でも本発明方法でもそれほど変わらないが、除去幅そのものを本発明では従来よりも大幅に縮小できるので、結果的にフィールド酸化膜の必要形成幅を縮小することができる。

【0027】以下、本発明方法を図1ないし図11を参照しながら説明する。なおここでは、第1導電型不純物をp型不純物、第2導電型不純物をn型不純物、ポリシリコン膜中の第1導電型不純物を含む第1導電型領域をp<sup>+</sup>型領域、第2導電型不純物を含む第2導電型領域をn<sup>+</sup>型領域と仮定するが、これらは互いに入れ換えても一向に差し支えない。

【0028】図1は、低濃度n型（ $\nu$ 型）のSi基板1（ $\nu$ -Sub）上で通常の選択酸化分離法（LOCOS法）にしたがってフィールド酸化膜4を形成した状態を示している。ここまでの工程を簡単に述べると、まずSi基板1の表面をたとえばパイロジェニック酸化法で熱酸化することによりパッド酸化膜2を形成し、この上にSi<sub>3</sub>N<sub>4</sub>膜を全面堆積させた後、該Si<sub>3</sub>N<sub>4</sub>膜をパターニングして選択酸化マスク3を形成し、Si基板1の熱酸化を行ってフィールド酸化膜4を形成する。

【0029】上記の選択酸化マスク3およびパッド酸化膜2を除去した後、図2に示されるように、nMOS形成予定領域をレジスト・パターン5（PR）で被覆し、pMOS形成予定領域にたとえばn型不純物としてリン（P<sup>+</sup>）をイオン注入してn型ウェル6（n-Well）を形成した。このときのイオン注入条件は、一例としてイオン加速エネルギー330keV、ドーズ量8×10<sup>12</sup>/cm<sup>2</sup>とした。この後、上記n型ウェル6中、

チャンネル領域となる浅い領域に閾値電圧 $V_{th}$ 調整用のイオン注入、深い領域にパンチスルー防止用のイオン注入をそれぞれ行い、さらにフィールド酸化膜4の下側にある両ウェルの境界にチャンネル・ストップ領域（図示せず。）を形成するためのイオン注入を行った。

【0030】上記レジスト・パターン5をアッシングにより除去した後、図3に示されるように、pMOS形成予定領域をレジスト・パターン7（PR）で被覆し、nMOS形成予定領域にたとえばp型不純物としてホウ素（ $B^+$ ）をイオン注入し、p型ウェル8（p-Well）を形成した。このときのイオン注入条件は、一例としてイオン加速エネルギー280keV、ドーズ量 $1 \times 10^{13}/cm^2$ とした。この後、上記p型ウェル8中、チャンネル領域となる浅い領域に閾値電圧 $V_{th}$ 調整用のイオン注入、深い領域にパンチスルー防止用のイオン注入をそれぞれ行い、さらにフィールド酸化膜4の片側にチャンネル・ストップ領域（図示せず。）を形成するためのイオン注入を行った。

【0031】上記レジスト・パターン7をアッシングにより除去した後、図4に示されるように、パイロジェニック酸化によりSi基板1の表面に厚さ約8nmのゲート酸化膜9（ $SiO_2$ ）を形成した。続いてこの上に、厚さ約70nmの真性ポリシリコン膜10i（poly Si）（添字iは真性であることを表す。）および厚さ約70nmのWSix膜11をそれぞれ通常の減圧CVD法により成膜し、W-ポリサイド膜を形成した。このW-ポリサイド膜の上にはさらに、本発明の最大の特徴をなす膜として、厚さ約40nmのマスク用SiOx膜12を成膜した。このマスク用SiOx膜12の成膜は、減圧CVD、常圧CVD、プラズマCVDのいずれの方法によって行っても良い。

【0032】次に、図5に示されるように、上記マスク用SiOx膜12の表面でレジスト・パターニングを行い、第2導電型領域と実質的に対応する領域を第1レジスト・パターン13（PR）で被覆した。ただし、このときのパターン・エッジはフィールド酸化膜4上にあるが、設計位置に対して両方向に $\Delta d'$ ずつずれる可能性がある。

【0033】次に、この第1レジスト・パターン13をマスクとしてRIE（反応性イオン・エッチング）を行うことにより、上記マスク用SiOx膜12の露出部を除去し、SiOxマスク12aを形成した。続いて、上記第1レジスト・パターン13と上記SiOxマスク12aとを介して真性ポリシリコン膜10iへホウ素（ $B^+$ ）をイオン注入した。このときのイオン注入条件は、一例としてイオン加速エネルギー15keV、ドーズ量 $4 \times 10^{15}/cm^2$ とした。これにより、上記真性ポリシリコン膜10i中、前記第1導電型領域と実質的に対応する領域を $p^+$ 型領域10pとした。

【0034】なお、上記マスク用SiOx膜12のRIE

Eとp型不純物のイオン注入とは、順番を上記のプロセスの逆としても良い。ただし、逆とした場合は、上記マスク用SiOx膜12を貫通して真性ポリシリコン膜10iへイオンを打ち込むことになるので、上記の条件よりもイオン加速エネルギーを高めることが必要である。

【0035】次に、上記第1レジスト・パターン13をアッシングにより除去し、図6に示されるように、上記第1導電型領域に実質的に対応する領域を被覆する第2レジスト・パターン14（PR）を形成した。この第2レジスト・パターン14は、上記SiOxマスク12aのパターン・エッジをフォトリソグラフィ時の位置合わせターゲットとして用いることにより、該パターン・エッジから所定距離 $W_{rem}$ だけ離間して形成される。このSiOxマスク12aと第2レジスト・パターン14の双方のパターン・エッジに囲まれる領域が、次工程で行われるWSix膜11の選択除去領域、すなわち分断領域となる。ただし、上記第2レジスト・パターン14の位置は、設計位置に対して両方向に $\Delta d'$ ずつずれる可能性があるため、上記分断領域の幅を確保するためには、この所定距離 $W_{rem}$ を $\Delta d'$ より大きく設定しておくことが必要である。かかる設定により、第2レジスト・パターン14とが最も接近した場合にも、最小除去幅 $\alpha$ だけは確保されることになる。また、本明細書中では以下、上記の所定距離 $W_{rem}$ をWSix膜11の「除去幅」と称することにする。

【0036】続いて、上記第2レジスト・パターン14をマスクとし、SiOxマスク12aを貫通する条件で真性ポリシリコン膜10iへリン（ $P^+$ ）をイオン注入した。このときのイオン注入条件は、一例としてイオン加速エネルギー30keV、ドーズ量 $3 \times 10^{15}/cm^2$ とした。これにより、上記真性ポリシリコン膜10i中、前記第2導電型領域と実質的に対応する領域を $n^+$ 型領域10nとした。またこれと同時に、第2レジスト・パターン14とSiOxマスク12aとの間に露出する領域においては、先に形成された $p^+$ 型領域10pの端部にn型不純物のイオン注入が重複して行われるため、pn混合領域10pnが形成された。

【0037】次に、上記第2レジスト・パターン14とSiOxマスク12aとをマスクとしてRIEを行うことにより、図7に示されるように、前述の除去幅 $W_{rem}$ 分のみWSix膜11を選択的に除去した。これで $p^+$ 型領域10pと $n^+$ 型領域10nとの間の不純物相互拡散の経路が断たれたことになる。

【0038】ここで、上記の除去幅 $W_{rem}$ をフィールド酸化膜4の幅の範囲内に確保するための該フィールド酸化膜4の必要形成幅 $W_{FI}$ について考えると、これは上記の除去幅 $W_{rem}$ の両側に第1レジスト・パターン13の重ね合わせ誤差 $\Delta d$ と第2レジスト・パターン14の重ね合わせ誤差 $\Delta d'$ をそれぞれ加えた幅とすれば良いことが明らかである。すなわち $W_{FI}$ は、



$$W_{FI} = W_{rem} + \Delta d + \Delta d'$$

$$= 2\Delta d' + \alpha + \Delta d$$

となる。

【0039】上記の $W_{FI}$ の値を、前掲の図15に示したフィールド酸化膜32の必要形成幅 $W_{FI}=2\Delta d+4\Delta d'$ と比較するために、 $\Delta d=\Delta d'$ と仮定する。この仮定は、第1レジスト・パターン13と第2レジスト・パターン14の両者を形成するためのフォトリソグラフィが、同等の表面段差を有する基体上で、同程度のパターン寸法を有するレチクルを用い、かつ同じステップを用いて行われることを前提としている。また、 $\alpha$ の値は $\Delta d$ より小さくても実用上は構わないが、簡単のためにやはり $\alpha=\Delta d$ と仮定する。以上の仮定にもとづくと、本発明と従来の $W_{FI}$ はそれぞれ、

$$W_{FI} \text{ (本発明)} \sim 4\Delta d$$

$$W_{FI} \text{ (従来)} \sim 6\Delta d$$

のように表される。 $\Delta d$ の値は、 $0.35\mu m$ ルールでは $0.15\mu m$ 程度、 $0.25\mu m$ ルールでは $0.1\mu m$ 程度である。したがって、本発明によればフィールド酸化膜4の必要形成幅 $W_{FI}$ を、 $2/3$ 程度には縮小できることがわかる。もっとも、 $\alpha$ の値が $\Delta d$ よりも小さければ、 $W_{FI}$ をこれ以上に縮小することが可能であり、逆に $\alpha=2\Delta d$ 程度であってもまだ本発明のメリットが生ずることになる。

【0040】なお、上述のn型不純物のイオン注入と $WSi_x$ 膜のRIEとは、順序を逆としても構わない。逆とした場合には、 $WSi_x$ 膜の除去領域において厚さ70nmの $p^+$ 型領域10pの端部が露出した状態でイオン注入が行われることになるが、このときのイオンの飛程は厚さ40nmの $SiO_x$ マスク12aと厚さ70nmの $WSi_x$ 膜11とを通過して $n^+$ 型領域10nに達するように設定されているため、上記除去領域では注入されたイオンはすべてフィールド酸化膜4中に達し、この膜中で停止する。したがって、この場合にはポリシリコン膜にはpn混合領域が形成されず、 $p^+$ 型領域10pがそのまま残る。

【0041】この後、図8に示されるように、アッシングによりレジスト・パターン14を、またRIEにより $SiO_x$ マスク12aをそれぞれ除去した。なお、このアッシングとRIEとは、いずれを先に行っても良い。あるいは、上記 $SiO_x$ マスク12aは後工程で層間絶縁膜(図11の符号19)の一部として用いることが可能なので、残しておくことも考えられる。しかし、次に述べるゲート電極加工の際のRIE条件が第1導電型領域と第2導電型領域とで異なってしまうこと、表面段差の増大、さらにLDDサイドウォール寸法がpMOSとnMOSの間で異なる可能性があることを考えると、やはりこの時点で除去しておくことが好適である。

【0042】次に、図9に示されるように、上記W-ポリサイド膜上でレジスト・パターニングを行い、レジス

ト・パターン15を形成した後、これをマスクとするRIEを行い、pMOS形成予定領域には $p^+$ 型領域10pを含む $p^+$ 型ゲート電極16p、nMOS形成予定領域には $n^+$ 型領域10nを含む $n^+$ 型ゲート電極16nを形成した。

【0043】次に、図10に示されるように上記レジスト・パターン15を除去し、nMOS形成予定領域を被覆する新たなレジスト・パターン(図示せず。)を介した低濃度イオン注入を行ってn型ウェル6の表層部に $p^-$ 型LDD領域17pを形成し、続いてpMOS形成予定領域を被覆するさらに別のレジスト・パターン(図示せず。)を介したイオン注入を行ってpMOS型ウェル8の表層部に $n^-$ 型LDD領域17nを形成した。さらに、基体の全面に $SiO_x$ 膜を堆積させた後、この膜をエッチバックし、LDDサイドウォール18aを形成した。なお、このエッチバック時には、フィールド酸化膜4上において、 $WSi_x$ 膜11の分断により生じた側壁面上にも微小なサイドウォール18bが付随的に形成される。

【0044】この後、図11に示されるように、pMOS形成予定領域とnMOS形成予定領域にそれぞれレジスト・パターン(図示せず。)を介した高濃度イオン注入を行って、p型ソース/ドレイン領域19pおよびn型ソース/ドレイン領域19nを形成した。続いて、基体の全面を $SiO_x$ 層間絶縁膜20で被覆し、この膜をパターニングしてコンタクトホール21を開口した。さらにこのコンタクトホール21を埋め込むごとく基体の全面にたとえばAl-1%Si膜をスパッタ成膜し、この膜をパターニングして、上記 $p^+$ 型ゲート電極16pと $n^+$ 型ゲート電極16nの双方に接続する上層配線22(Al)を形成した。このようにして、デュアルゲート型CMOSを完成させた。このようにして製造されたCMOSは、pMOSの性能向上を反映して動作が高速化されると共に、回路面積が従来の約90%に縮小されていた。

【0045】以上、本発明の実施の形態について説明したが、本発明のこの実施の形態に何ら限定されるものではない。たとえば、上述の実施の形態ではポリシリコン膜に積層される低抵抗導電膜を $WSi_x$ 膜としたが、 $TiSi_x$ や $MoSi_x$ 等の他の金属シリサイド膜、あるいはW膜やMo膜等の金属膜であっても良い。また、マスク用材料膜としては、上述のマスク用 $SiO_x$ 膜に限られず、 $SiN$ 膜やAl膜等、 $WSi_x$ 膜に対してエッチング選択比を確保し得る膜を選択して用いることができる。さらに、本発明により製造されるCMOSは上述のようなバルク基板上に形成されるものとは限られず、SOI基板上に形成されるものであっても良い。その他、基体の構成、各部の寸法、イオン注入条件等の細部は適宜変更および選択が可能である。

【0046】



【発明の効果】以上の説明からも明かなように、本発明の半導体装置の製造方法によれば、デュアルゲート型CMOSのゲート電極に含まれるp型、n型の両ゲート不純物の相互拡散を抑制するためにフィールド酸化膜上で金属シリサイド膜または金属膜を分断する場合に、この分断領域の幅を縮小してフィールド酸化膜の必要形成幅を減少させることができる。このことにより、回路面積の縮小が可能となり、結果的にメモリ系デバイスやロジック系デバイスの高集積化を推進することができる。

#### 【図面の簡単な説明】

【図1】本発明を適用してデュアルゲート型CMOSを製造するプロセス例において、Si基板で選択酸化分離法によりフィールド酸化膜を形成した状態を示す模式的断面図である。

【図2】レジスト・パターニングとイオン注入を経て、図1のSi基板にn型ウェルを形成した状態を示す模式的断面図である。

【図3】レジスト・パターニングとイオン注入を経て、図1のSi基板にp型ウェルを形成した状態を示す模式的断面図である。

【図4】ゲート酸化を経てW-ポリサイド膜とマスク用SiO<sub>x</sub>膜を成膜した状態を示す模式的断面図である。

【図5】レジスト・パターニングとマスク用SiO<sub>x</sub>膜のドライエッチングを経て、図4の真性ポリシリコン膜へp型不純物のイオン注入を行っている状態を示す模式的断面図である。

【図6】レジスト・パターニングを経て、図4の真性ポリシリコン膜へn型不純物のイオン注入を行っている状態を示す模式的断面図である。

【図7】図6のp<sup>+</sup>型ポリシリコン膜とn<sup>+</sup>型ポリシリコン膜の境界部においてWSi<sub>x</sub>膜を選択的に除去した状態を示す模式的断面図である。

【図8】図7のマスク用SiO<sub>x</sub>膜のパターンとレジスト・パターンとを除去した状態を示す模式的断面図である。

る。

【図9】図8のW-ポリサイド膜をパターニングしてゲート電極を形成した状態を示す模式的断面図である。

【図10】図9の基体にLDD領域およびLDDサイドウォールを形成した状態を示す模式的断面図である。

【図11】図10の基体にソース/ドレイン領域、層間絶縁膜および上層配線を形成した状態を示す模式的断面図である。

【図12】従来のデュアルゲート型CMOSの製造プロセスにおいて、Si基板上にフィールド酸化膜、n型ウェル、p型ウェル、ゲート酸化膜、およびW-ポリサイド膜を形成した状態を示す模式的断面図である。

【図13】レジスト・パターニングとイオン注入を経て、図12の真性ポリシリコン膜へp型不純物のイオン注入を行っている状態を示す模式的断面図である。

【図14】レジスト・パターニングとイオン注入を経て、図13の真性ポリシリコン膜へn型不純物のイオン注入を行っている状態を示す模式的断面図である。

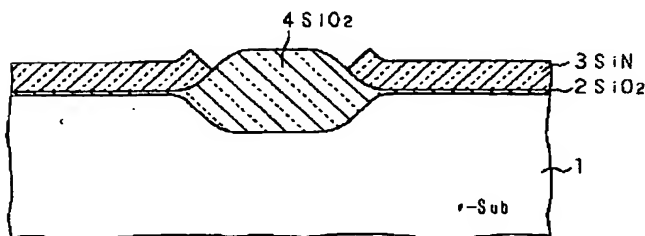
【図15】図14のp<sup>+</sup>型領域とn<sup>+</sup>型領域の境界部においてWSi<sub>x</sub>膜を選択的に除去するためのレジスト・パターニングを行った状態を示す模式的断面図である。

【図16】図15のWSi<sub>x</sub>膜の露出部を選択的に除去し、レジスト・パターンを除去した状態を示す模式的断面図である。

#### 【符号の説明】

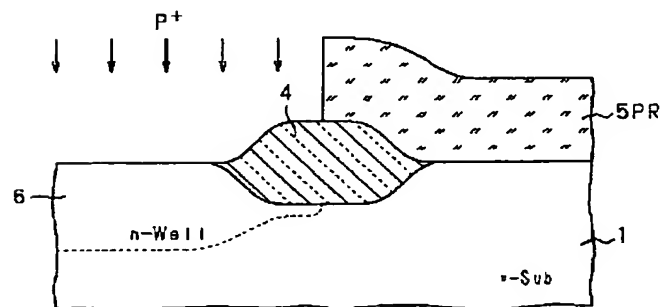
1 Si基板 2 ゲート酸化膜 4 フィールド酸化膜 9 ゲート酸化膜  
10i 真性ポリシリコン膜 10p p<sup>+</sup>型領域 10n n<sup>+</sup>型領域 11 WSi<sub>x</sub>膜 12 マスク用SiO<sub>x</sub>膜 12a SiO<sub>x</sub>マスク 13 第1レジスト・パターン 14 第2レジスト・パターン W<sub>FI</sub> フィールド酸化膜の必要形成幅 W<sub>rem</sub> WSi<sub>x</sub>膜の除去幅 α WSi<sub>x</sub>膜の最小除去幅

【図1】



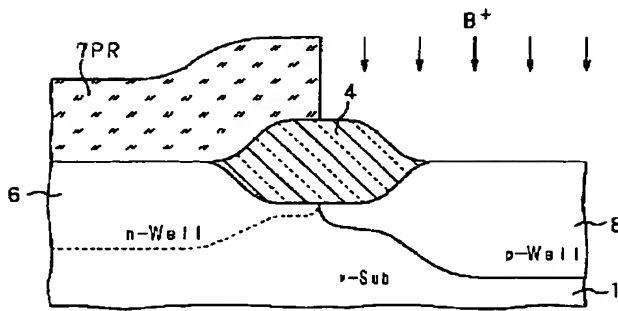
選択酸化分離工程（本発明）

【図2】



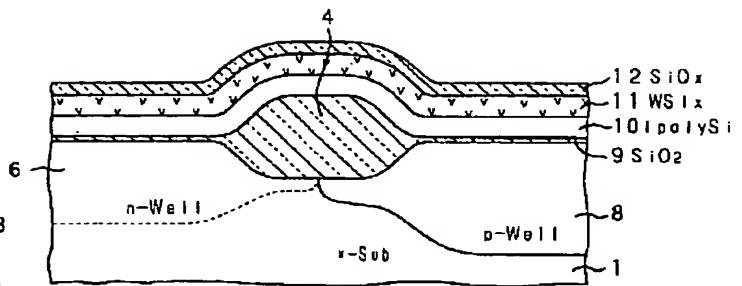
n型ウェルの形成工程

【図3】

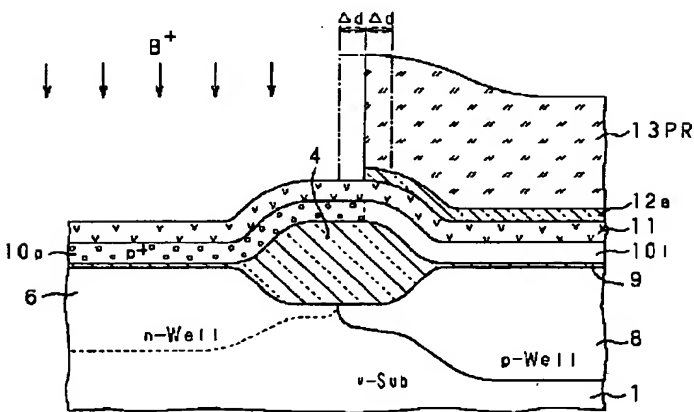


n型ウェルの形成工程

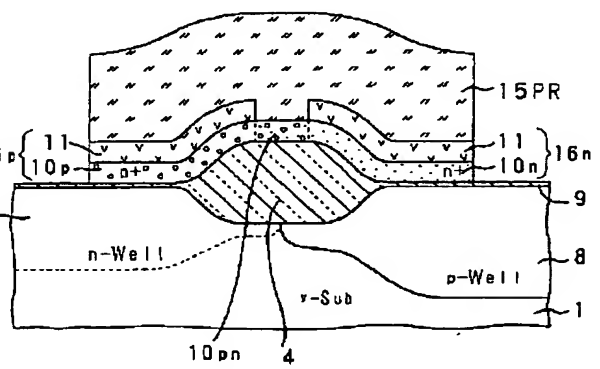
【図4】

W-ポリサイド膜及びマスク用SiO<sub>x</sub>膜の成膜工程

【図5】

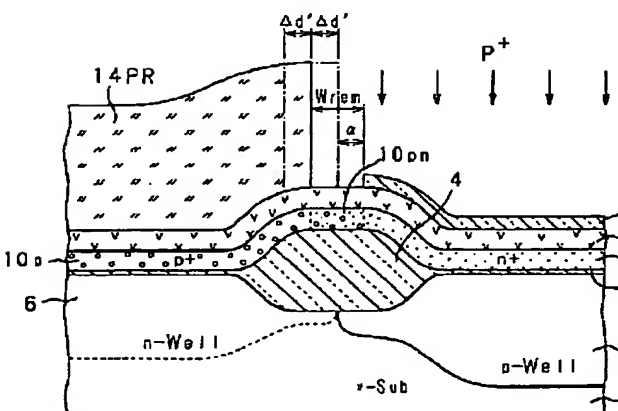
レジスト・パターニング、マスク用SiO<sub>x</sub>膜のドライエッチングおよび真性ポリシリコン膜へのn型不純物のイオン注入工程

【図9】



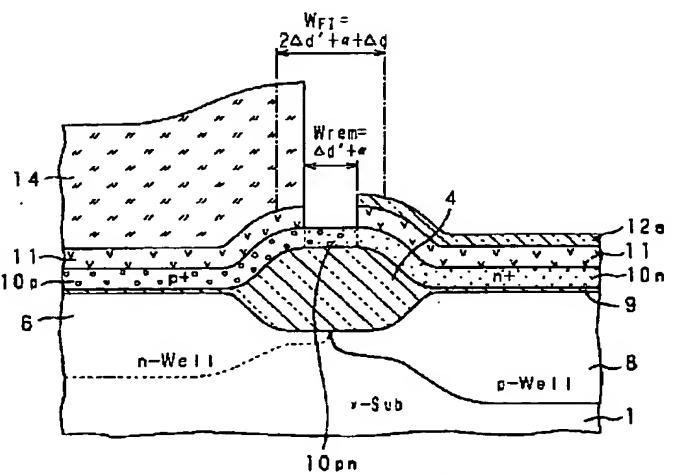
ゲート電極の形成工程

【図6】



レジスト・パターニングおよび真性ポリシリコン膜へのn型不純物のイオン注入工程

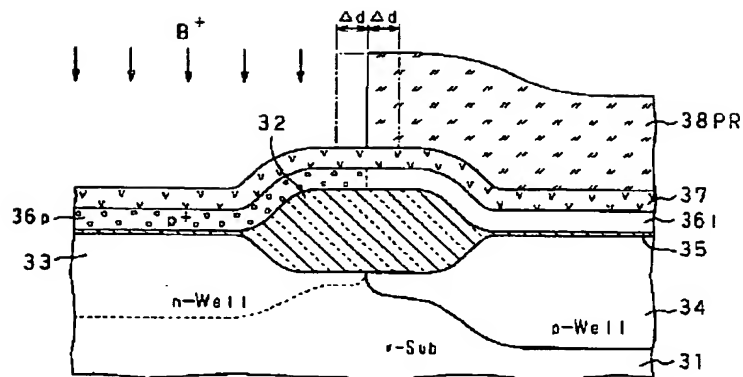
【図7】



p+型ポリシリコン膜とn+型ポリシリコン膜の境界部におけるWSix膜の選択除去工程

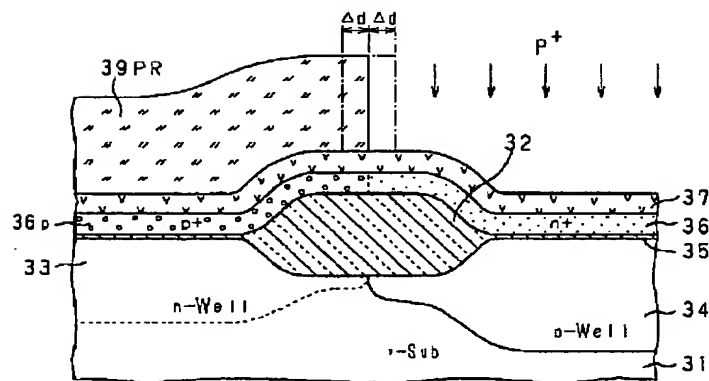


【図 13】



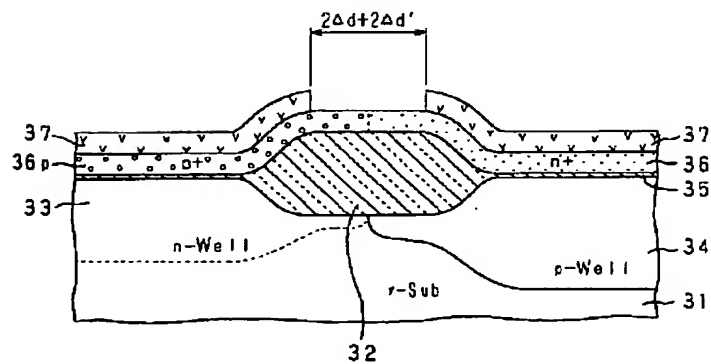
レジスト・パターニングおよび  
真性ポリシリコン膜へのp型不純物のイオン注入工程

【図 14】



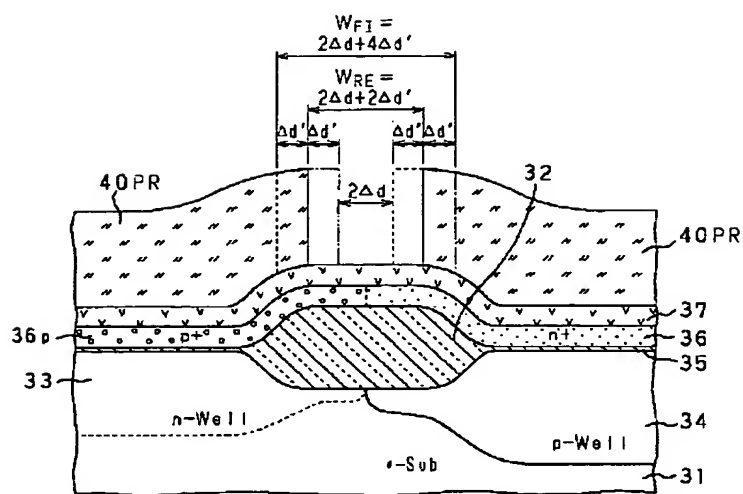
レジスト・パターニングおよび  
真性ポリシリコン膜へのn型不純物のイオン注入工程

【図 16】



WSi<sub>x</sub>膜の選択除去およびレジスト・パターンの除去工程

【図 1 5】



p<sup>+</sup>型ポリシリコン膜とn<sup>+</sup>型ポリシリコン膜の境界部における  
WSi<sub>x</sub>膜を選択除去するためのレジスト・パターニング工程

フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

**JP2002217311 A**

**SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**

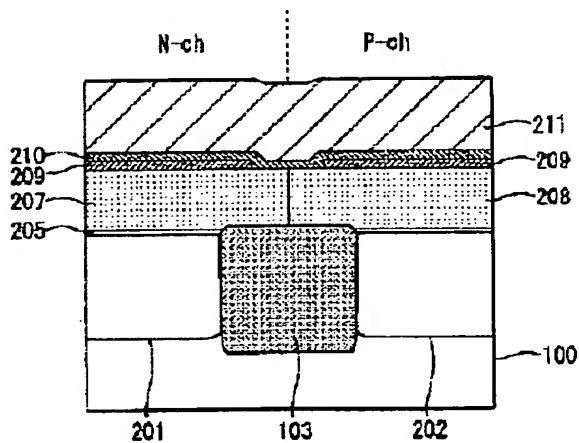
**MITSUBISHI ELECTRIC CORP**

**Inventor(s): TOMITA KAZURO**

**Application No. 2001009881 JP2001009881 JP, Filed 20010118, A1 Published  
20020802 Published 20020802**

**Abstract: PROBLEM TO BE SOLVED:** To suppress the diffusion through a barrier metal film of a dopant in a polycrystalline silicon film constituting a dual gate electrode and to reduce surface resistance between a metal film on the barrier metal film and the polycrystalline silicon film.

**SOLUTION:** In a semiconductor device, element active areas of an N channel region 101 and a P channel region 102 are adjacently formed and gate electrodes 105 and 106 are formed so that they straddle over the channel regions and an element separation oxide film 103 separating both channel regions. In the gate electrodes 105 and 106, the polycrystalline silicon films 207 and 208, a first barrier metal film 209, a second barrier metal film 210 and a metal film 211 are sequentially laminated from below. The first barrier metal film 209 is removed from the boundary part of the N channel area 101 and the P channel area 102.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217311

(P2002-217311A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

特許出願(参考)

H 0 1 L 21/8238  
27/092  
21/28  
29/43

3 0 1

H 0 1 L 21/28  
27/08  
29/62

3 0 1 A 4 M 1 0 4  
3 2 1 D 5 F 0 4 8  
G

審査請求 未請求 請求項の数8 O L (全 16 頁)

(21) 出願番号 特願2001-9881(P2001-9881)

(22) 出願日 平成13年1月18日(2001.1.18)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富田 和朗

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

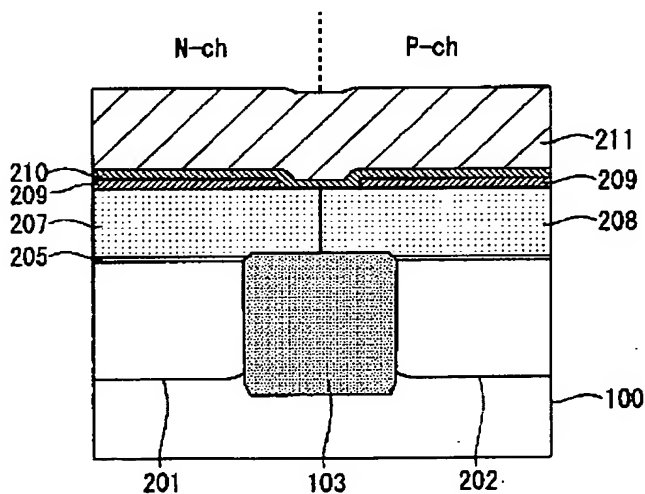
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 デュアルゲート電極を構成する多結晶シリコン膜中のドーパントが、バリアメタル膜を通して相互に拡散することを抑えとともに、バリアメタル膜上のメタル膜と多結晶シリコン膜の間の界面抵抗を低減させる。

【解決手段】 Nチャネル領域101とPチャネル領域102の素子活性領域が隣接して形成され、両チャネル領域上及び両チャネル領域を分離する素子分離酸化膜103上を跨ぐようにゲート電極105、106が形成された半導体装置であって、ゲート電極105、106は多結晶シリコン膜207、208、第1のバリアメタル膜209、第2のバリアメタル膜210及びメタル膜211が下層から順に積層された構造からなり、第1のバリアメタル膜209がNチャネル領域101とPチャネル領域102の境界部分で除去されている。





**【特許請求の範囲】**

**【請求項 1】** Nチャネル領域とPチャネル領域の素子活性領域が隣接して形成され、両チャネル領域上及び両チャネル領域を分離する素子分離酸化膜上を跨ぐようにゲート電極が形成された半導体装置であって、前記ゲート電極は多結晶シリコン膜、第1のバリアメタル膜、第2のバリアメタル膜及びメタル膜が下層から順に積層された構造からなり、前記第1のバリアメタル膜が前記Nチャネル領域とPチャネル領域の境界部分で除去されていることを特徴とする半導体装置。

**【請求項 2】** 前記Nチャネル領域とPチャネル領域の境界部分において、前記第1のバリアメタル膜とともに前記多結晶シリコン膜が上面から所定量だけ除去されており、当該境界部分で前記第2のバリアメタル膜と前記多結晶シリコン膜とが密着していることを特徴とする請求項 1 記載の半導体装置。

**【請求項 3】** 前記Nチャネル領域とPチャネル領域の境界部分において、前記第1のバリアメタル膜とともに前記多結晶シリコン膜が除去されており、当該境界部分で前記第2のバリアメタル膜と前記素子分離酸化膜とが密着していることを特徴とする請求項 1 記載の半導体装置。

**【請求項 4】** 前記第2のバリアメタル膜と前記素子分離酸化膜が密着している部位において、前記素子分離酸化膜が上面から所定量だけ除去されていることを特徴とする請求項 3 記載の半導体装置。

**【請求項 5】** 半導体基板の表面に素子分離酸化膜を形成して素子活性領域を画定する工程と、隣接する前記素子活性領域のそれぞれにP型及びN型の不純物をそれぞれ導入してPウェル及びNウェルを形成する工程と、前記Pウェル及びNウェルの表面にゲート酸化膜を形成する工程と、前記Pウェル、前記Nウェル及び前記素子分離酸化膜上を含む前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に第1のバリアメタル膜を形成する工程と、前記Pウェル及びNウェルの境界部分において、前記第1のバリアメタル膜を除去する工程と、前記第1のバリアメタル膜上及び前記境界部分に第2のバリアメタル膜を形成する工程と、前記第2のバリアメタル膜上にメタル膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

**【請求項 6】** 前記境界部分において、前記第1のバリアメタル膜を除去するとともに下層の前記多結晶シリコン膜を上面から所定量だけ除去することを特徴とする請求項 5 記載の半導体装置の製造方法。

**【請求項 7】** 前記境界部分において、前記第1のバリアメタル膜とともに下層の前記多結晶シリコン膜を除去

して前記素子分離酸化膜を露出させることを特徴とする請求項 5 記載の半導体装置の製造方法。

**【請求項 8】** 前記境界部分において、前記第1のバリアメタル膜及び前記多結晶シリコン膜を除去するとともに下層の前記素子分離酸化膜を上面から所定量だけ除去することを特徴とする請求項 7 記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置及びその製造方法に関し、特にデュアルゲート (Dual Gate) 電極のMOSFETを備えた半導体装置に適用して好適である。

**【0002】**

**【従来の技術】** 近年、デバイスの微細化、高集積化、および高速化が進み、素子のゲート電極の低抵抗化が重要になってきている。ゲート電極抵抗を低減する方法として多結晶シリコン膜上にタングステン (W) 膜等の低抵抗のメタル膜を形成する方法があるが、多結晶シリコン膜上に直接メタル膜を積層すると、多結晶シリコン膜とメタル膜が後の熱処理時にシリサイド化して、酸化膜の信頼性に問題が生じるため、多結晶シリコン膜とタングステン膜の界面にタングステンナイトライド (WN) 膜等のバリアメタル膜を形成することが行われている。

**【0003】** 図19は、デュアルゲート電極を有するMOSトランジスタのNチャネル領域とPチャネル領域の境界部分近傍を示す概略断面図である。ここではシリコン基板100を素子分離酸化膜103によって素子分離し、Nチャネル領域のPウェル201及びPチャネル領域のNウェル202上にゲート電極としての多結晶シリコン膜を形成した後、Nチャネル領域の多結晶シリコン膜にN型の不純物を、Pチャネル領域の多結晶シリコン膜にP型の不純物をそれぞれ導入して、ドーパントを含む多結晶シリコン膜207、208を形成している。

**【0004】** そして、ゲート電極の低抵抗化を達成するため、多結晶シリコン膜207、208上にメタル膜211としてのタングステン膜を形成し、多結晶シリコン膜207、208とバリア膜211の界面にバリアメタル膜1310としてのタングステンナイトライド膜 (WN) を形成したものである。このように多結晶シリコン膜207、208とバリア膜211の界面にバリアメタル膜1310を形成することにより、多結晶シリコン膜とメタル膜がシリサイド化することを抑止でき、酸化膜の信頼性を高めることができる。

**【0005】**

**【発明が解決しようとする課題】** しかしながら、図19に示すように、多結晶シリコン膜207、208とバリア膜211の界面にタングステンナイトライド (WN) 等のバリアメタル膜1310を形成すると、酸化膜の信頼性を満たすことはできるものの、その多結晶シリコン

膜 207, 208 とメタル 211 の界面が非オーミック接合となり、界面抵抗が上昇するという問題が発生していた。

【0006】図 20 は、界面抵抗の上昇を回避するため、第 1 のバリアメタル膜 1409 であるタングステンシリサイド (WSi) 膜と、第 2 のバリアメタル膜 1410 であるタングステンナイトライド (WN) 膜の積層構造によりバリアメタル膜を構成したものである。この構成では、界面抵抗はオーミック接合で低減するものの、後工程の熱処理により N チャネル領域と P チャネル領域の間で第 1 のバリアメタル膜 1409 を通して多結晶シリコン膜 207, 208 中のドーパントが相互に拡散してしまい、MOS トランジスタのしきい値がシフトするという問題が発生していた。

【0007】本発明は、ポリメタルゲートを用いたデバイスにおいて、ポリシリコン上の第一のバリアメタルを N- $\text{c h}$  領域と P- $\text{c h}$  領域の境界においてエッチングし、続いて第二のバリアメタルを堆積することにより、界面抵抗および相互拡散を抑制できるデュアルゲート電極構造を有する半導体装置を提供することを目的とする。

【0008】本発明は上述の課題を解決するためになされたもので、第 1 の目的は、N チャネル領域の多結晶シリコン膜のドーパントと P チャネル領域の多結晶シリコン膜のドーパントが、第 1 のバリアメタル膜を通して相互に拡散することを抑えて、トランジスタのしきい値の変動を抑止するとともに、メタル膜と多結晶シリコン膜の間の界面抵抗を低減させることにある。

【0009】また、第 2 の目的は、第 2 のバリアメタル膜と多結晶シリコン膜の界面を通してドーパントが拡散することを確実に抑止することにある。

【0010】また、第 3 の目的は、境界部分における多結晶シリコン膜に逆導電型のドーパントが混入した部分あるいはノンドープの部分形成されることにより、ゲート電極の抵抗値が基準値からシフトしてしまうことを抑止することにある。

【0011】

【課題を解決するための手段】この発明に係る半導体装置は、N チャネル領域と P チャネル領域の素子活性領域が隣接して形成され、両チャネル領域上及び両チャネル領域を分離する素子分離酸化膜上を跨ぐようにゲート電極が形成された半導体装置であって、ゲート電極は多結晶シリコン膜、第 1 のバリアメタル膜、第 2 のバリアメタル膜及びメタル膜が下層から順に積層された構造からなり、第 1 のバリアメタル膜が N チャネル領域と P チャネル領域の境界部分で除去されているものである。

【0012】また、N チャネル領域と P チャネル領域の境界部分において、第 1 のバリアメタル膜とともに多結晶シリコン膜が上面から所定量だけ除去されており、当該境界部分で前記第 2 のバリアメタル膜と多結晶シリコ

ン膜とが密着しているものである。

【0013】また、N チャネル領域と P チャネル領域の境界部分において、第 1 のバリアメタル膜とともに多結晶シリコン膜が除去されており、当該境界部分で第 2 のバリアメタル膜と素子分離酸化膜とが密着しているものである。

【0014】また、第 2 のバリアメタル膜と素子分離酸化膜が密着している部位において、素子分離酸化膜が上面から所定量だけ除去されているものである。

【0015】また、この発明の半導体装置の製造方法は、半導体基板の表面に素子分離酸化膜を形成して素子活性領域を画定する工程と、隣接する前記素子活性領域のそれぞれに P 型及び N 型の不純物をそれぞれ導入して P ウェル及び N ウェルを形成する工程と、前記 P ウェル及び N ウェルの表面にゲート酸化膜を形成する工程と、前記 P ウェル、前記 N ウェル及び前記素子分離酸化膜上を含む前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に第 1 のバリアメタル膜を形成する工程と、前記 P ウェル及び N ウェルの境界部分において、前記第 1 のバリアメタル膜を除去する工程と、前記第 1 のバリアメタル膜上及び前記境界部分に第 2 のバリアメタル膜を形成する工程と、前記第 2 のバリアメタル膜上にメタル膜を形成する工程とを有するものである。

【0016】また、境界部分において、第 1 のバリアメタル膜を除去するとともに下層の多結晶シリコン膜を上面から所定量だけ除去するものである。

【0017】また、境界部分において、第 1 のバリアメタル膜とともに下層の多結晶シリコン膜を除去して素子分離酸化膜を露出させるようにしたものである。

【0018】また、境界部分において、第 1 のバリアメタル膜及び多結晶シリコン膜を除去するとともに下層の素子分離酸化膜を上面から所定量だけ除去するようにしたものである。

【0019】

【発明の実施の形態】以下、本発明のいくつかの実施の形態を図面に基づいて説明する。

実施の形態 1. 図 1 は、本発明の実施の形態 1 の半導体装置であるデュアルゲート電極を備えた MOS トランジスタを示す平面図で、図 2 は図 1 の一点鎖線 A-A' に沿った断面図である。

【0020】図 1 において、101 は素子活性領域である N チャネル (N- $\text{c h}$ ) 領域、102 は素子活性領域である P チャネル (P- $\text{c h}$ ) 領域であり、103 は両チャネル領域を分離する素子分離酸化膜である。また、105 は N チャネル領域 101 のゲート電極、106 は P チャネル領域 102 のゲート電極であり、両ゲート電極の最小寸法は、例えばゲート幅 (L) = 0.10  $\mu\text{m}$  でデザインされている。107 は N チャネル領域 101 と P チャネル領域 102 の境界部のゲート電極であり、

例えばパターン幅が $0.15\mu\text{m}$ とされている。

【0021】次に、図2を参照して図1の断面構成を説明する。図2において、201は、Nチャネル領域101におけるシリコン基板100に形成されたPウェルであって、例えば $10\Omega\cdot\text{cm}$ 程度の比抵抗のP型のシリコン基板100にマスクをかけてボロン(B)をイオン注入することにより形成されている。202はPチャネル領域102におけるシリコン基板100に形成されたNウェルであって、例えば上述のシリコン基板100にマスクをかけてリン(P)をイオン注入することにより形成されている。

【0022】Pウェル201とNウェル202を分離する素子分離酸化膜103はシリコン酸化膜から成り、例えばトレンチ分離(STI)法により、シリコン基板100をエッチング後、絶縁膜たとえばプラズマ酸化膜(HD P:High Density Plasma等)を埋め込むことで形成されている。

【0023】205はゲート酸化膜で、例えば膜厚 $3\text{nm}$ 程度の窒素酸化膜( $\text{SiO}_2\text{N}_x$ )で形成されている。207はゲート電極105を構成するNチャネル領域101上の多結晶シリコン(ポリシリコン)膜で、例えばノンドープの多結晶シリコン膜206を $100\text{nm}$ 程度の膜厚で成膜後、マスクをかけてリンを注入することで形成されている。208はゲート電極106を構成するPチャネル領域102上の多結晶シリコン膜で、例えばノンドープの多結晶シリコン膜206を $100\text{nm}$ 程度の膜厚で成膜後、マスクをかけてボロンを注入することで形成されている。

【0024】209は多結晶シリコン膜207、208上に形成された第1のバリアメタル膜であって、例えばタングステンシリサイド( $\text{WSi}_x$ )をスパッタ法で膜厚 $10\text{nm}$ 程度堆積して形成したものである。そして、図2に示すように、第1のバリアメタル膜209はNチャネル領域101とPチャネル領域102の境界部分で除去されている。

【0025】210は第1のバリアメタル膜209上に形成された第2のバリアメタル膜であって、例えばタングステンナイトライド(窒化タングステン:WN)をスパッタ法で膜厚 $10\text{nm}$ 程度堆積して形成したものである。第1のバリアメタル膜209がNチャネル領域101とPチャネル領域102の境界部分で除去されているため、この境界領域では多結晶シリコン膜207、208と第2のバリアメタル膜210が密着している。211は第2のバリアメタル膜210上に形成されたメタル膜で、例えばタングステン(W)をスパッタ法で膜厚 $100\text{nm}$ 程度堆積することで形成したものである。

【0026】そして、多結晶シリコン膜207、第1のバリアメタル膜209、第2のバリアメタル膜210及びメタル膜211によりNチャネル領域101のゲート電極105が、多結晶シリコン膜208、第1のバリア

メタル膜209、第2のバリアメタル膜210及びメタル膜211によりPチャネル領域102のゲート電極106がそれぞれ構成されている。

【0027】このように、実施の形態1では、第1のバリアメタル膜209を第2のバリアメタル膜210の下層に形成したことによりメタル膜211と多結晶シリコン膜207、208との間でオーミック接合の良好な界面抵抗を得ることができ、更に第1のバリアメタル膜209をNチャネル領域101とPチャネル領域の境界部分で除去したことにより、Nチャネル領域101の多結晶シリコン膜207のドーパントとPチャネル領域102の多結晶シリコン膜208のドーパントが、第1のバリアメタル膜209を通して相互に拡散することを抑止できる。

【0028】次に図3～図6に基づいて、本実施の形態の半導体装置の製造方法を説明する。図3及び図4は製造方法を工程順に示した概略平面図であり、図5及び図6は製造方法を工程順に示した概略断面図である。

【0029】先ず、図5(a)に示すように、例えばトレンチ分離法を用いて、 $10\Omega\cdot\text{cm}$ 程度の比抵抗のP型のシリコン基板100の素子分離領域をエッチングし、絶縁膜たとえばプラズマ酸化膜を埋め込むことで素子分離酸化膜103を形成する。次に、Nチャネル領域101が開口したマスクを用いて、シリコン基板100にボロンを注入することでPウェル201を形成し、また、Pチャネル領域102が開口したマスクを用いてシリコン基板100にリンを注入することでNウェル202を形成する。

【0030】続いて、Nチャネル領域101及びPチャネル領域102のシリコン基板100の表面に、例えば窒素酸化によりゲート酸化膜205を膜厚 $3\text{nm}$ 程度形成し、ゲート酸化膜205及び素子分離酸化膜103上にノンドープの多結晶シリコン膜206を例えば $100\text{nm}$ 、成膜する。その後、Nチャネル領域101が開口したレジストマスク401を用いて、Nチャネル領域101の多結晶シリコン膜206に例えば加速エネルギー $10\text{keV}$ 程度、ドーズ量 $5\times 10^{15}\text{cm}^{-2}$ 程度の条件でリン(P<sup>+</sup>)をイオン注入する。図3(a)は、Nチャネル領域101を開口するようにレジストマスク401を形成した状態を示す平面図である。このイオン注入により、Nチャネル領域101の多結晶シリコン膜206は不純物を含む多結晶シリコン膜207となり所定の導電性が確保される。

【0031】次に、レジストマスク401をアッシング等の方法により除去した後、図5(b)に示すように、Pチャネル領域102が開口したレジストマスク411を用いて、Pチャネル領域102の多結晶シリコン膜206に例えば加速エネルギー $5\text{keV}$ 、ドーズ量 $5\times 10^{15}\text{cm}^{-2}$ 程度の条件でボロン(BF<sub>3</sub><sup>+</sup>)をイオン注入する。図3(b)は、Pチャネル領域102を開口する

ようにレジストマスク 411 を形成した状態を示す平面図である。このイオン注入により、Pチャネル領域 102 の多結晶シリコン膜 206 は不純物を含む多結晶シリコン膜 208 となり所定の導電性が確保される。

【0032】次に、図 6 (a) に示すように、多結晶シリコン膜 207、208 上に、第 1 のバリアメタル膜 209 として、例えばタングステンシラサイド (WSi<sub>x</sub>) 膜をスパッタ法で膜厚 10 nm 程度堆積する。その後、Nチャネル領域 101 と Pチャネル領域 102 の境界部分に 0.15 μm 程度の幅の開口部を有するレジストマスク 421 を第 1 のバリアメタル膜 209 上に形成し、開口部に露出した第 1 のバリアメタル膜 209 をドライエッチングにより除去する。図 4 (a) は、Nチャネル領域 101 と Pチャネル領域 102 の境界を開くレジストマスク 421 を形成した状態を示す平面図である。

【0033】次に、アッシング等の方法によりレジストマスク 421 を除去する。そして、図 6 (b) に示すように、第 1 のバリアメタル 209 上及び Nチャネル領域 101 と Pチャネル領域 102 の境界部分の多結晶シリコン膜 207、208 上に、第 2 のバリアメタル膜 210 として例えばタングステンナイトライド膜をスパッタ法で膜厚 10 nm 程度堆積する。その後、第 2 のバリアメタル膜 210 上に、メタル膜 211 として例えばタングステン (W) 膜をスパッタ法で膜厚 100 nm 堆積する。

【0034】次に、フォトリソグラフィー及びこれに続くドライエッチングにより、メタル膜 211 上にゲート電極を形成するためのゲートマスク (不図示) を形成し、メタル膜 211、第 2 のバリアメタル膜 210、第 1 のバリアメタル膜 209、多結晶シリコン膜 207、208 をドライエッチングする。これにより、Nチャネル領域 101 にメタル膜 211、第 2 のバリアメタル膜 210、第 1 のバリアメタル膜 209、多結晶シリコン膜 207 からなるポリメタルゲート電極のゲート電極 105 が形成され、また、Pチャネル領域 102 にメタル膜 211、第 2 のバリアメタル膜 210、第 1 のバリアメタル膜 209、多結晶シリコン膜 208 からなるポリメタルゲート電極のゲート電極 106 が形成される。図 4 (b) は、ゲート電極 105、106 を形成した状態を示している。この状態では、ゲート電極 105、106 の最上層のメタル膜 211 の上面が露出している。

【0035】その後、ゲート電極 105、106 のそれぞれのパターンの両側の Pウェル 201、Nウェル 202 にイオン注入を行うことにより、ソース/ドレインとして機能する不純物拡散層を形成し、層間絶縁膜、所定の配線層を形成することにより、実施の形態 1 のデュアルゲート電極を有する半導体装置を完成させる。

【0036】なお、本実施の形態では、ポリメタルゲート電極 (メタル膜厚 211、第 2 のバリアメタル膜 21

0、第 1 のバリアメタル膜 209、多結晶シリコン膜 208、207) をレジストマスクでエッチングする場合について述べたが、ハードマスク例えば酸化膜や窒化膜もしくはそれらの積層膜をマスクとして用いて、ポリメタルゲート電極をエッチングしてもよい。

【0037】また、本実施の形態では、第 1 のバリアメタル膜 209 をドライエッチングする場合について述べたが、例えば弗酸過水によりウェットエッチして除去するようにしてもよい。また、本実施の形態では、ポリメタルゲート電極に多結晶ポリシリコン膜 206 (207、208) を成膜する場合について述べたが、アモルファスシリコンを成膜しても、エピタキシャル法で単結晶シリコンを成膜してもよい。

【0038】実施の形態 2. 図 7 は、本発明の実施の形態 2 の半導体装置であるデュアルゲート電極を備えた MOS トランジスタを示す平面図で、図 8 は図 7 の一点鎖線 B-B' に沿った断面図である。

【0039】図 7 において、101 は素子活性領域である Nチャネル (N-ch) 領域、102 は素子活性領域である Pチャネル (P-ch) 領域であり、103 は両チャネル領域を分離する素子分離酸化膜である。また、105 は Nチャネル領域 101 のゲート電極、106 は Pチャネル領域 102 のゲート電極であり、両ゲート電極の最小寸法は、例えばゲート幅 (L) = 0.10 μm でデザインされている。507 は Nチャネル領域 101 と Pチャネル領域 102 の境界部のゲート電極であり、例えばパターン幅が 0.15 μm とされている。

【0040】次に、図 8 を参照して図 7 の断面構成を説明する。図 8 において、201 は、Nチャネル領域 101 におけるシリコン基板 100 に形成された Pウェルであって、例えば 10 Ω・cm 程度の比抵抗の P 型のシリコン基板 100 にマスクをかけてボロン (B) をイオン注入することにより形成されている。202 は Pチャネル領域 102 におけるシリコン基板 100 に形成された Nウェルであって、例えば上述のシリコン基板 100 にマスクをかけてリン (P) をイオン注入することにより形成されている。

【0041】Pウェル 201 と Nウェル 202 を分離する素子分離酸化膜 103 はシリコン酸化膜から成り、例えばトレンチ分離 (STI) 法により、シリコン基板 100 をエッチング後、絶縁膜たとえばプラズマ酸化膜を埋め込むことで形成されている。

【0042】205 はゲート酸化膜で、例えば膜厚 3 nm 程度の酸窒化膜 (SiO<sub>x</sub>N<sub>y</sub>) で形成されている。607 はゲート電極 105 を構成する Nチャネル領域 101 上の多結晶シリコン (ポリシリコン) 膜で、例えばノンドープの多結晶シリコン膜 606 を 100 nm 程度の膜厚で成膜後、マスクをかけてリンを注入することで形成されている。608 はゲート電極 106 を構成する Pチャネル領域 102 上の多結晶シリコン膜で、例えばノ

ンドープの多結晶シリコン膜 606 を 100 nm 程度の膜厚で成膜後、マスクをかけてボロンを注入することで形成されている。

【0043】609 は多結晶シリコン膜 607, 608 上に形成された第 1 のバリアメタル膜であって、例えばタングステンシリサイド ( $WSi_x$ ) をスパッタ法で膜厚 10 nm 程度堆積して形成したものである。そして、図 8 に示すように、第 1 のバリアメタル膜 609 は N チャネル領域 101 と P チャネル領域 102 の境界部分で除去されている。また、N チャネル領域 101 と P チャネル領域 102 の境界部分では、多結晶シリコン膜 607, 608 も所定量除去されており、この部位に溝 601 が形成されている。

【0044】610 は第 1 のバリアメタル膜 609 上に形成された第 2 のバリアメタル膜であって、例えばタングステンナイトライド (窒化タングステン: WN) をスパッタ法で膜厚 10 nm 程度堆積して形成したものである。第 1 のバリアメタル膜 609 が N チャネル領域 101 と P チャネル領域 102 の境界部分で除去されているため、この境界領域では多結晶シリコン膜 607, 608 と第 2 のバリアメタル膜 610 が密着している。611 は第 2 のバリアメタル膜 610 上に形成されたメタル膜で、例えばタングステン (W) をスパッタ法で膜厚 100 nm 程度堆積することで形成したものである。

【0045】そして、多結晶シリコン膜 607、第 1 のバリアメタル膜 609、第 2 のバリアメタル膜 610 及びメタル膜 611 により N チャネル領域 101 のゲート電極 105 が、多結晶シリコン膜 608、第 1 のバリアメタル膜 609、第 2 のバリアメタル膜 610 及びメタル膜 611 により P チャネル領域 102 のゲート電極 106 がそれぞれ構成されている。

【0046】このように、実施の形態 2 では、第 1 のバリアメタル膜 609 を第 2 のバリアメタル膜 610 の下層に形成したことによりメタル膜 611 と多結晶シリコン膜 607, 608 との間でオーミック接合の良好な界面抵抗を得ることができ、更に第 1 のバリアメタル膜 609 を N チャネル領域 101 と P チャネル領域の境界部分で除去したことにより、N チャネル領域 101 の多結晶シリコン膜 607 のドーパントと P チャネル領域 102 の多結晶シリコン膜 608 のドーパントが、第 1 のバリアメタル膜 609 を通して相互に拡散することを抑止できる。

【0047】また、N チャネル領域 101 と P チャネル領域 102 の境界部分において、多結晶シリコン膜 607, 608 に溝 601 を掘り込んでいるため、第 2 のバリアメタル膜 610 と多結晶シリコン膜 607, 608 の界面を通してドーパントが拡散することを確実に抑止することができる。また、溝 601 を形成したことにより、境界部分においてメタル膜 611 の膜厚を増加させることができ、ゲート電極の実効的な膜厚が増えること

になり、ゲート電極自体の抵抗を低減することが可能となる。

【0048】次に図 9～図 12 を用い、本実施の形態の半導体装置の製造方法を説明する。図 9 及び 10 は製造方法を工程順に示した概略平面図であり、図 11 及び図 12 は製造方法を工程順に示した概略断面図である。

【0049】先ず、図 11 (a) に示すように、例えばトレンチ分離法を用いて、 $10 \Omega \cdot \text{cm}$  程度の比抵抗の P 型のシリコン基板 100 の素子分離領域をエッチングし、絶縁膜たとえばプラズマ酸化膜を埋め込むことで素子分離酸化膜 103 を形成する。次に、N チャネル領域 101 が開口したマスクを用いて、シリコン基板 100 にボロンを注入することで P ウェル 201 を形成し、また、P チャネル領域 102 が開口したマスクを用いてシリコン基板 100 にリンを注入することで N ウェル 202 を形成する。

【0050】続いて、N チャネル領域 101 及び P チャネル領域 102 のシリコン基板 100 の表面に、例えば窒酸化によりゲート酸化膜 205 を膜厚 3 nm 程度形成し、ゲート酸化膜 205 及び素子分離酸化膜 203 上にノンドープの多結晶シリコン膜 606 を例えば 100 nm、成膜する。その後、N チャネル領域 101 が開口したレジストマスク 801 を用いて、N チャネル領域 101 の多結晶シリコン膜 606 に例えば加速エネルギー 10 keV 程度、ドーズ量  $5 \times 10^{15} \text{ cm}^{-2}$  程度の条件でリン ( $P^+$ ) をイオン注入する。図 9 (a) は、N チャネル領域 101 を開口するようにレジストマスク 801 を形成した状態を示す平面図である。このイオン注入により、N チャネル領域 101 の多結晶シリコン膜 606 は不純物を含む多結晶シリコン膜 607 となり所定の導電性が確保される。

【0051】次に、レジストマスク 801 をアッシング等の方法により除去した後、図 11 (b) に示すように、P チャネル領域 102 が開口したレジストマスク 811 を用いて、P チャネル領域 102 の多結晶シリコン膜 606 に例えば加速エネルギー 5 keV、ドーズ量  $5 \times 10^{15} \text{ cm}^{-2}$  程度の条件でボロン ( $BF_2^+$ ) をイオン注入する。図 9 (b) は、P チャネル領域 102 を開口するようにレジストマスク 811 を形成した状態を示す平面図である。このイオン注入により、P チャネル領域 102 の多結晶シリコン膜 606 は不純物を含む多結晶シリコン膜 608 となり所定の導電性が確保される。

【0052】次に、図 12 (a) に示すように、多結晶シリコン膜 607, 608 上に、第 1 のバリアメタル膜 609 として、例えばタングステンシリサイド ( $WSi_x$ ) 膜をスパッタ法で膜厚 10 nm 程度堆積する。その後、N チャネル領域 101 と P チャネル領域 102 の境界部分に 0.15  $\mu\text{m}$  程度の幅の開口部を有するレジストマスク 821 を第 1 のバリアメタル膜 609 上に形成し、開口部に露出した第 1 のバリアメタル膜 609 をド

ライエッチングにより除去する。第1のバリア金属膜609を完全に除去した後、更に多結晶シリコン膜607、608の一部をドライエッチングにより除去して溝601を形成する。図10(a)は、Nチャネル領域101とPチャネル領域102の境界を開口するレジストマスク821を形成した状態を示す平面図である。

【0053】次に、アッシング等の方法によりレジストマスク821を除去する。そして、図12(b)に示すように、第1のバリア金属膜609上及び溝601における多結晶シリコン膜607、608上に、第2のバリア金属膜610として例えばタングステンナイトライド膜をスパッタ法で膜厚10nm程度堆積する。その後、第2のバリア金属膜610上に、金属膜611として例えばタングステン(W)膜をスパッタ法で膜厚100nm堆積する。

【0054】次に、フォトリソグラフィ及びこれに続くドライエッチングにより、金属膜611上にゲート電極を形成するためのゲートマスク(不図示)を形成し、金属膜611、第2のバリア金属膜610、第1のバリア金属膜609、多結晶シリコン膜607、608をドライエッチングする。これにより、Nチャネル領域101に金属膜611、第2のバリア金属膜610、第1のバリア金属膜609及び多結晶シリコン膜607からなるポリ金属ゲート電極のゲート電極105が形成され、また、Pチャネル領域102に金属膜611、第2のバリア金属膜610、第1のバリア金属膜609及び多結晶シリコン膜608からなるポリ金属ゲート電極のゲート電極106が形成される。図10(b)は、ゲート電極105、106を形成した状態を示している。この状態では、ゲート電極105、106の最上層の金属膜611の上面が露出している。

【0055】その後、ゲート電極105、106のそれぞれのパターンの両側のPウェル201、Nウェル202にイオン注入を行うことにより、ソース/ドレインとして機能する不純物拡散層を形成し、層間絶縁膜、所定の配線層を形成することにより、実施の形態1のデュアルゲート電極を有する半導体装置を完成させる。

【0056】なお、本実施の形態でも、ポリ金属ゲート電極(金属膜611、バリア金属膜610、バリア金属膜609、多結晶シリコン膜608、607)をレジストマスクでエッチングする場合について述べたが、ハードマスク例えば酸化膜や窒化膜もしくはそれらの積層膜をマスクとして用いて、ポリ金属ゲート電極をエッチングしてもよい。

【0057】また、本実施の形態では、第1のバリア金属膜609及び多結晶シリコン膜607、608をドライエッチングする場合について述べたが、例えば非酸過水により第1のバリア金属膜609をウェットエッチングして、更に多結晶シリコン膜607、608をドライ

エッチングしてもよい。また、本実施の形態では、ポリ金属ゲート電極に多結晶ポリシリコン膜606(607、608)を成膜する場合について述べたが、アモルファスシリコンを成膜しても、エピタキシャル法で単結晶シリコンを成膜してもよい。

【0058】実施の形態3. 図13は、本発明の実施の形態3の半導体装置であるデュアルゲート電極を備えたMOSトランジスタを示す平面図で、図14は図13の一点鎖線C-C'に沿った断面図である。

【0059】図13において、101は素子活性領域であるNチャネル(N-ch)領域、102は素子活性領域であるPチャネル(P-ch)領域であり、103は両チャネル領域を分離する素子分離酸化膜である。また、105はNチャネル領域101のゲート電極、106はPチャネル領域102のゲート電極であり、両ゲート電極の最小寸法は、例えばゲート幅(L)=0.10 $\mu$ mでデザインされている。907はNチャネル領域101とPチャネル領域102の境界部のゲート電極であり、例えばパターン幅が0.15 $\mu$ mとされている。

【0060】次に、図13を参照して図1の断面構成を説明する。図13において、201は、Nチャネル領域101におけるシリコン基板100に形成されたPウェルであって、例えば10 $\Omega\cdot$ cm程度の比抵抗のP型のシリコン基板100にマスクをかけてボロン(B)をイオン注入することにより形成されている。202はPチャネル領域102におけるシリコン基板100に形成されたNウェルであって、例えば上述のシリコン基板100にマスクをかけてリン(P)をイオン注入することにより形成されている。

【0061】Pウェル201とNウェル202を分離する素子分離酸化膜1003はシリコン酸化膜から成り、例えばトレンチ分離(STI)法により、シリコン基板100をエッチング後、絶縁膜たとえばプラズマ酸化膜をシリコン基板100の表面から300nm程度の深さまで埋め込むことにより形成されている。

【0062】205はゲート酸化膜で、例えば膜厚3nm程度の酸化窒化膜(SiO<sub>x</sub>N<sub>y</sub>)で形成されている。207はゲート電極105を構成するNチャネル領域101上の多結晶シリコン(ポリシリコン)膜で、例えばノンドープの多結晶シリコン膜1006を100nm程度の膜厚で成膜後、マスクをかけてリンを注入することで形成されている。1008はゲート電極106を構成するPチャネル領域102上の多結晶シリコン膜で、例えばノンドープの多結晶シリコン膜1006を100nm程度の膜厚で成膜後、マスクをかけてボロンを注入することで形成されている。

【0063】1009は多結晶シリコン膜1007、1008上に形成された第1のバリア金属膜であって、例えばタングステンシリサイド(WSi<sub>2</sub>)をスパッタ法で膜厚10nm程度堆積して形成したものである。そ



して、図14に示すように、第1のバリアメタル膜1009はNチャネル領域101とPチャネル領域102の境界部分で除去されている。そして、Nチャネル領域101とPチャネル領域102の境界部分では、多結晶シリコン膜1007、1008も除去されており、更に下層の素子分離酸化膜1003が所定量除去されて、この部位に溝1001が形成されている。

【0064】1010は第1のバリアメタル膜1009上に形成された第2のバリアメタル膜であって、例えばタングステンナイトライド（窒化タングステン：WN）をスパッタ法で膜厚10nm程度堆積して形成したものである。第1のバリアメタル膜1009がNチャネル領域101とPチャネル領域102の境界部分で除去されており、更に下層の多結晶シリコン膜1007、1008も除去されているため、この境界領域では第2のバリアメタル膜1010が素子分離酸化膜1003に密着している。1011は第2のバリアメタル膜1010上に形成されたメタル膜で、例えばタングステン

(W)をスパッタ法で膜厚100nm程度堆積することで形成したものである。

【0065】そして、多結晶シリコン膜1007、第1のバリアメタル膜1009、第2のバリアメタル膜1010及びメタル膜1011によりNチャネル領域101のゲート電極105が、多結晶シリコン膜1008、第1のバリアメタル膜1009、第2のバリアメタル膜1010及びメタル膜1011によりPチャネル領域102のゲート電極106がそれぞれ構成されている。

【0066】このように、実施の形態3では、第1のバリアメタル膜1009を第2のバリアメタル膜1010の下層に形成したことによりメタル膜1011と多結晶シリコン膜1007、1008との間でオーミック接合の良好な界面抵抗を得ることができ、更に第1のバリアメタル膜1009をNチャネル領域101とPチャネル領域102の境界部分で除去したことにより、Nチャネル領域101の多結晶シリコン膜1007のドーパントとPチャネル領域102の多結晶シリコン膜1008のドーパントが、第1のバリアメタル膜1009を通して相互に拡散することを抑止できる。

【0067】また、Nチャネル領域101とPチャネル領域102の境界部分において、多結晶シリコン膜1007、1008に溝1001を掘り込んでいるため、第2のバリアメタル膜1010と多結晶シリコン膜1007、1008の界面を通してドーパントが拡散することを確実に抑止することができる。更に、境界部分で多結晶シリコン膜1007と多結晶シリコン膜1008を分断しているため、後工程における高温の熱処理によりドーパントが拡散することを抑止できる。また、イオン注入を行う際のレジストマスク1201とレジストマスク1211の重ね合わせ位置がずれることにより、境界部分における多結晶シリコン膜1006にリンとボロンのド

ーパントが混ざった領域が形成されたり、ノンドープの部分が形成された場合であっても、境界部分を除去しているため、ゲート電極105、106の抵抗値が基準値からシフトしてしまうことを抑止できる。更に、溝1001を形成したことにより、境界部分においてメタル膜1011の膜厚を増加させることができ、ゲート電極の実効的な膜厚が増えることになり、ゲート電極自体の抵抗を低減することが可能となる。

【0068】次に図15～図18に基づいて、本実施の形態の半導体装置の製造方法を説明する。図15及び16は製造方法を工程順に示した概略平面図であり、図17及び図18は製造方法を工程順に示した概略断面図である。

【0069】まず、図17(a)に示すように、例えばトレンチ分離法を用いて、 $10\Omega\cdot\text{cm}$ 程度の比抵抗のP型のシリコン基板100の素子分離領域をエッチングし、絶縁膜たとえばプラズマ酸化膜を埋め込むことで素子分離酸化膜1003を形成する。次に、Nチャネル領域101が開口したマスクを用いて、シリコン基板100にボロンを注入することでPウェル201を形成し、また、Pチャネル領域102が開口したマスクを用いてシリコン基板100にリンを注入することでNウェル202を形成する。

【0070】続いて、Nチャネル領域101及びPチャネル領域102のシリコン基板100の表面に、例えば窒酸化によりゲート酸化膜205を膜厚3nm程度形成し、ゲート酸化膜205及び素子分離酸化膜1003上にノンドープの多結晶シリコン膜1006を例えば100nm、成膜する。その後、Nチャネル領域101が開口したレジストマスク1201を用いて、Nチャネル領域101の多結晶シリコン膜1006に例えば加速エネルギー10keV程度、ドーズ量 $5\times 10^{15}\text{cm}^{-2}$ 程度の条件でリン(P<sup>+</sup>)をイオン注入する。図15(a)は、Nチャネル領域101を開口するようにレジストマスク1201を形成した状態を示す平面図である。このイオン注入により、Nチャネル領域101の多結晶シリコン膜1006は不純物を含む多結晶シリコン膜1007となり所定の導電性が確保される。

【0071】次に、レジストマスク1201をアッシング等の方法により除去した後、図17(b)に示すように、Pチャネル領域102が開口したレジストマスク1211を用いて、Pチャネル領域102の多結晶シリコン膜1006に例えば加速エネルギー5keV、ドーズ量 $5\times 10^{15}\text{cm}^{-2}$ 程度の条件でボロン(BF<sub>2</sub><sup>+</sup>)をイオン注入する。図15(b)は、Pチャネル領域102を開口するようにレジストマスク1211を形成した状態を示す平面図である。このイオン注入により、Pチャネル領域102の多結晶シリコン膜1006は不純物を含む多結晶シリコン膜1008となり所定の導電性が確保される。



【0072】次に、図18(a)に示すように、多結晶シリコン膜1007、1008上に、第1のバリアメタル膜1009として、例えばタングステンシサイド( $\text{WSi}_x$ )膜をスパッタ法で膜厚10nm程度堆積する。その後、Nチャネル領域101とPチャネル領域102の境界部分に0.15 $\mu\text{m}$ 程度の幅の開口部を有するレジストマスク1221を第1のバリアメタル膜1009上に形成し、開口部に露出した第1のバリアメタル膜1009をドライエッチングにより除去する。第1のバリアメタル膜1009を完全に除去した後、更に多結晶シリコン膜607、608をドライエッチングにより除去し、下層の素子分離酸化膜1003を除去して溝1001を形成する。図16(a)は、Nチャネル領域101とPチャネル領域102の境界を開口するレジストマスク1221を形成した状態を示す平面図である。

【0073】次に、アッシング等の方法によりレジストマスク1221を除去する。そして、図18(b)に示すように、第1のバリアメタル1009上及び溝1001における多結晶シリコン膜1007、1008上に、第2のバリアメタル膜1010として例えばタングステンナイトライド膜をスパッタ法で膜厚10nm程度堆積する。その後、第2のバリアメタル膜1010上に、メタル膜1011として例えばタングステン(W)膜をスパッタ法で膜厚100nm堆積する。

【0074】次に、フォトリソグラフィ及びこれに続くドライエッチングにより、メタル膜1011上にゲート電極を形成するためのゲートマスク(不図示)を形成し、メタル膜1011、第2のバリアメタル膜1010、第1のバリアメタル膜1009、多結晶シリコン膜1007、1008をドライエッチングする。これにより、Nチャネル領域101にメタル膜1011、第2のバリアメタル膜1010、第1のバリアメタル膜1009及び多結晶シリコン膜1007からなるポリメタルゲート電極のゲート電極105が形成され、また、Pチャネル領域102にメタル膜1011、第2のバリアメタル膜1010、第1のバリアメタル膜1009及び多結晶シリコン膜1008からなるポリメタルゲート電極のゲート電極106が形成される。図10(b)は、ゲート電極105、106を形成した状態を示している。この状態では、ゲート電極105、106の最上層のメタル膜1011の上面が露出している。

【0075】その後、ゲート電極105、106のそれぞれのパターンの両側のPウェル201、Nウェル202にイオン注入を行うことにより、ソース/ドレインとして機能する不純物拡散層を形成し、層間絶縁膜、所定の配線層を形成することにより、実施の形態3のデュアルゲート電極を有する半導体装置を完成させる。

【0076】なお、本実施の形態でも、ポリメタルゲート電極(メタル膜1011、第2のバリアメタル膜1010、第1のバリアメタル膜1009、多結晶シリコン

膜1008、1007)をレジストマスクでエッチングする場合について述べたが、ハードマスク例えば酸化膜、窒化膜もしくはそれらの積層膜を用いて、ポリメタルゲート電極をエッチングしても同様のことがいえる。

【0077】また、本実施の形態では、第1のバリアメタル膜1009をドライエッチする場合について述べたが、例えば弗酸過水により第1のバリアメタル膜1009をウェットエッチしてから、多結晶シリコン膜1007、1008および素子分離酸化膜1001を分けてドライエッチしても同様のことがいえる。また、本実施の形態では、ポリメタルゲート電極に多結晶ポリシリコン膜1206(1207、1208)を成膜する場合について述べたが、アモルファスシリコンを成膜しても、エピタキシャル法で単結晶シリコンを成膜してもよい。

【0078】なお、上述した実施の形態1~3では、第1のバリアメタル膜209、609、1009としてタングステンシサイド( $\text{WSi}_x$ )を用いた場合について述べたが、チタンシサイド( $\text{TiSi}_x$ )、タンタルシサイド( $\text{TaSi}_x$ )、コバルトシサイド( $\text{CoSi}_x$ )を用いても同様の効果を得ることができる。また、第1のバリアメタル膜209、609、1009中のメタルとシリコンの組成比が異なる場合でも、例えば $\text{WSi}_x$ の場合 $x=2$ でなくとも $x=1.0\sim2.5$ の範囲の組成であれば同様のことがいえる。また、第1のバリアメタル膜209、609、1009の膜厚が10nmの場合について述べたが、膜厚が0.1nmから100nmの範囲でも同様の効果を得ることができる。また、第1のバリアメタル膜209、609、1009をスパッタ法で形成する場合について述べたが、CVD法で成膜してもよい。更に、第1のバリアメタル膜209、609、1009を形成する際には、例えばタングステン等のメタルを成膜し、RTA(Rapid Thermal Annealing)法によりシリサイド化させてもよい。

【0079】また、上述した実施の形態1~3では、第2のバリアメタル膜210、610、1010としてタングステンナイトライド(WN)を用いた場合について述べたが、 $\text{WSiN}_x$ 、 $\text{TiN}$ 、 $\text{TiSi}_x$ 、 $\text{TaN}$ 、 $\text{TaSi}_x$ を用いても同様の効果を得ることができる。また、第2のバリアメタル膜210、610、1010の膜厚を10nmとした場合について述べたが、膜厚0.1nm~100nmの範囲でも同様の効果を得ることができる。また、第2のバリアメタル膜210、610、1010をスパッタ法で形成する場合について述べたが、CVD法で成膜してもよいし、タングステン

(W)を成膜して窒化させても同様の効果を得ることができる。

【0080】また、上述した実施の形態1~3では、メタル膜211、611、1011としてタングステン(W)を使用した場合について述べたが、アルミニウム(Al)、銅(Cu)、コバルト(Co)、タンタル

(Ta)、チタン(Ti)、ルテニウム(Ru)、白金(Pt)を用いてもよいし、これらの金属のシリサイドを用いても同様の効果を得ることができる。また、メタル膜211, 611, 1011の膜厚が100nmの場合について述べたが、膜厚5nm~500nmでも同様の効果を得ることができる。また、メタル膜211, 611, 1011をスパッタ法で成膜する場合について述べたが、CVD法で成膜してもよいし、メタル成膜後シリサイド化させても同様の効果を得ることができる。

【0081】また、上述した実施の形態1~3では、Nチャネル領域とPチャネル領域の境界部のゲート電極107, 507, 907が0.15μm幅である場合について述べたが、例えばリラックス法を用いて最小寸法より小さい0.05μm幅~10μm幅としてもよい。また、ゲート電極107, 507, 907が0.15μm幅をもつ溝パターンについて述べたが、ゲート電極107, 507, 907が開口したホールパターンでも同様の効果を得ることができる。

【0082】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0083】第1のバリアメタル膜をNチャネル領域とPチャネル領域の境界部分で除去したことにより、Nチャネル領域の多結晶シリコン膜のドーパントとPチャネル領域の多結晶シリコン膜のドーパントが、第1のバリアメタル膜を通して相互に拡散することを抑えて、トランジスタのしきい値の変動を最小限に抑えることができる。また、メタル膜と多結晶シリコン膜との間に第1及び第2のバリアメタル膜を形成したことにより、界面抵抗を低減させることができる。

【0084】また、Nチャネル領域とPチャネル領域の境界部分において、多結晶シリコン膜の上面を所定量だけ除去して溝を掘り込んでいるため、第2のバリアメタル膜と多結晶シリコン膜の界面を通してドーパントが拡散することを確実に抑止することができる。また、溝を形成したことにより、境界部分においてメタル膜の膜厚を増加させることができ、ゲート電極の実効的な膜厚を増やして、ゲート電極自体の抵抗を低減することが可能となる。

【0085】また、Nチャネル領域とPチャネル領域の境界部分において、第1のバリアメタル膜とともに多結晶シリコン膜が除去したことにより、後工程における高温の熱処理によりドーパントが拡散することを抑止できるとともに、境界部分における多結晶シリコン膜に逆導電型のドーパントが混入した部分あるいはノンドープの部分が発生することを抑止することができ、ゲート電極の抵抗値が基準値からシフトしてしまうことを抑止できる。

【0086】また、第2のバリアメタル膜と素子分離酸化膜が密着している部位において、素子分離酸化膜を上

面から所定量だけ除去したことにより、第2のバリアメタル膜と多結晶シリコン膜の界面を通してドーパントが拡散することをより確実に抑えることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を概略的に示す平面図である。

【図2】 本発明の実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図3】 本発明の実施の形態1における半導体装置の製造工程を概略的に示す平面図である。

【図4】 本発明の実施の形態1における半導体装置の製造工程を概略的に示す平面図である。

【図5】 本発明の実施の形態1における半導体装置の製造工程を概略的に示す断面図である。

【図6】 本発明の実施の形態1における半導体装置の製造工程を概略的に示す断面図である。

【図7】 本発明の実施の形態2における半導体装置の構成を概略的に示す平面図である。

【図8】 本発明の実施の形態2における半導体装置の構成を概略的に示す断面図である。

【図9】 本発明の実施の形態2における半導体装置の製造工程を概略的に示す平面図である。

【図10】 本発明の実施の形態2における半導体装置の製造工程を概略的に示す平面図である。

【図11】 本発明の実施の形態2における半導体装置の製造工程を概略的に示す断面図である。

【図12】 本発明の実施の形態2における半導体装置の製造工程を概略的に示す断面図である。

【図13】 本発明の実施の形態3における半導体装置の構成を概略的に示す平面図である。

【図14】 本発明の実施の形態3における半導体装置の構成を概略的に示す断面図である。

【図15】 本発明の実施の形態3における半導体装置の製造工程を概略的に示す平面図である。

【図16】 本発明の実施の形態3における半導体装置の製造工程を概略的に示す平面図である。

【図17】 本発明の実施の形態3における半導体装置の製造工程を概略的に示す断面図である。

【図18】 本発明の実施の形態3における半導体装置の製造工程を概略的に示す断面図である。

【図19】 従来の半導体装置を示す概略断面図である。

【図20】 従来の半導体装置を示す概略断面図である。

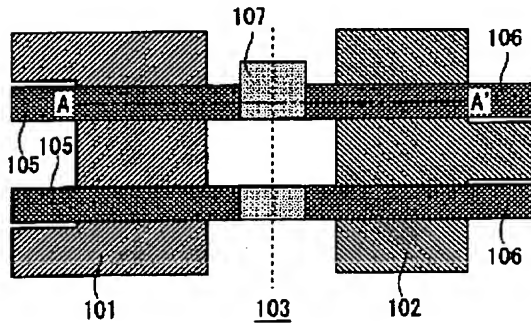
【符号の説明】

100 シリコン基板、 101 Nチャネル領域、  
102 Pチャネル領域、 103, 1003  
素子分離酸化膜、 105, 106 ゲート電極、  
107, 507, 907 Nチャネル領域とPチャネル領域の境界部分のゲート電極、 201 Pウェ

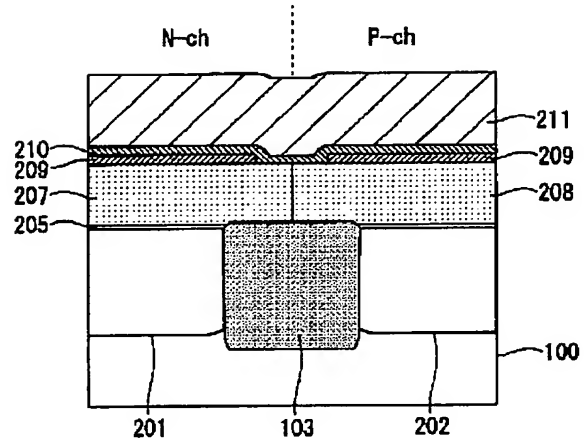
ル、 202 Nウェル、 205ゲート酸化膜、  
 206, 606, 1206 ノンドープの多結晶シリコン膜、  
 207, 607, 1207 Nチャネル領域の多結晶シリコン膜、  
 208, 608, 1208 Pチャネル領域の多結晶シリコン膜、  
 209, 609, 1009 第1のバリア金属膜、 21

0, 610, 1010 第2のバリア金属膜、 211, 611, 1011 金属膜、 401, 411, 421, 801, 811, 821, 1201, 1211, 1221 レジストマスク、 601, 1001 ホール。

【図1】

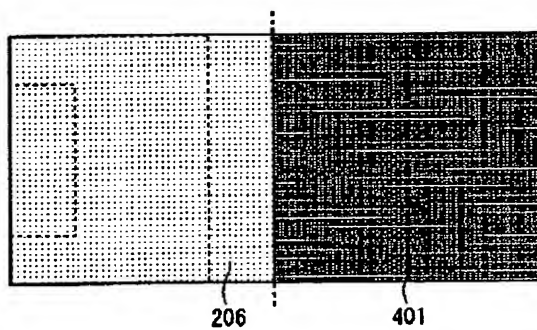


【図2】

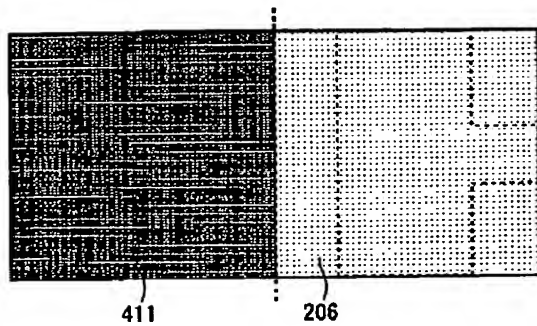


【図3】

(a)

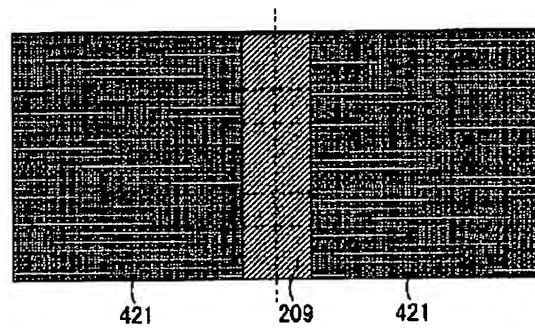


(b)

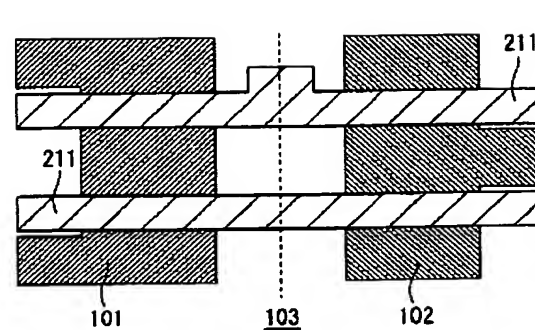


【図4】

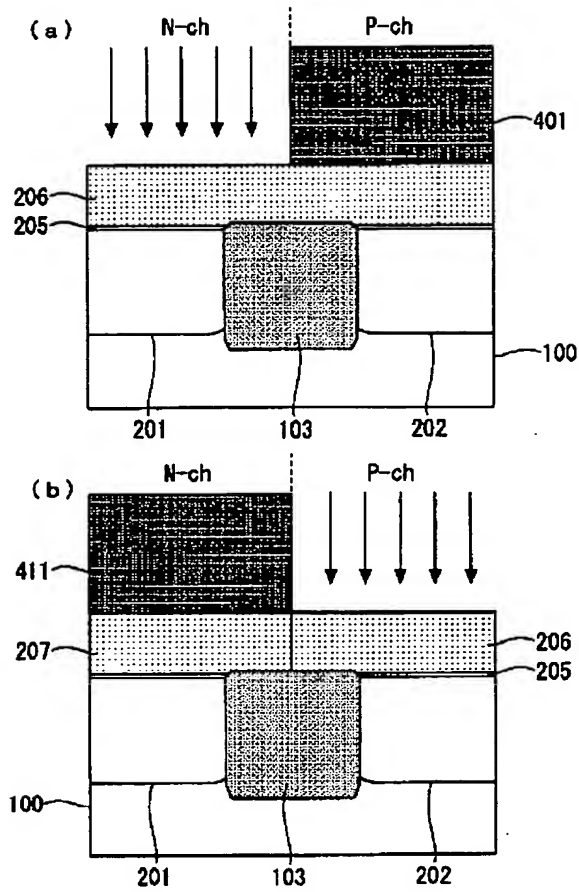
(a)



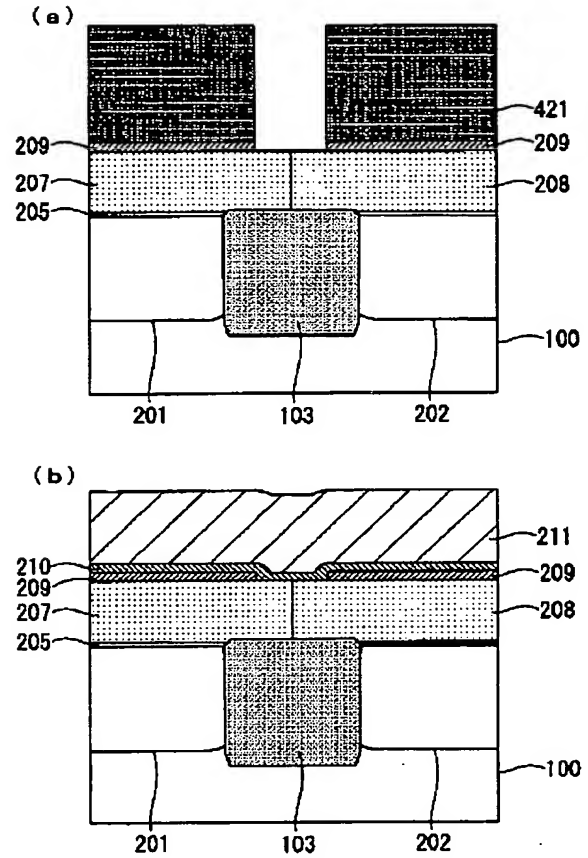
(b)



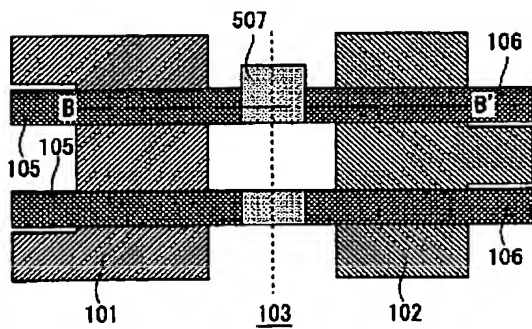
【図 5】



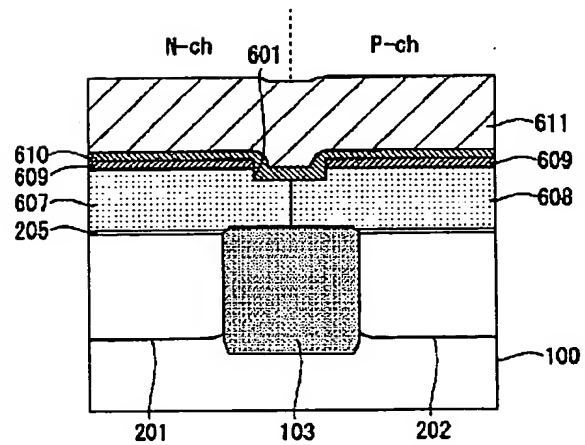
【図 6】



【図 7】

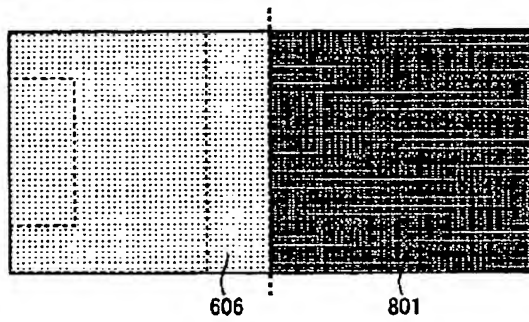


【図 8】

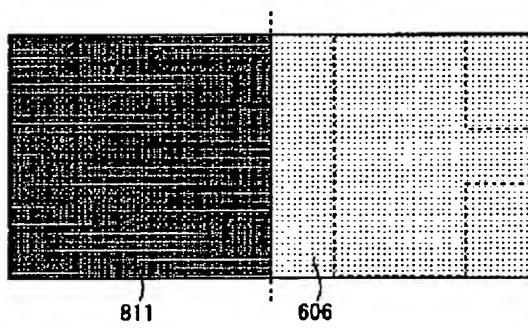


【図 9】

(a)

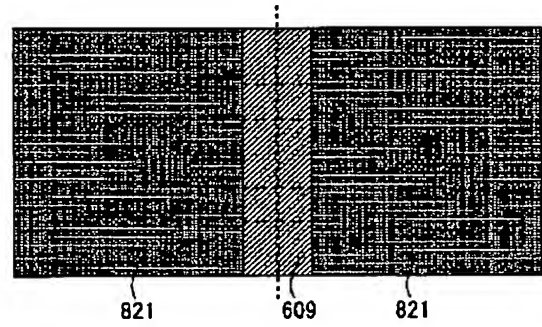


(b)

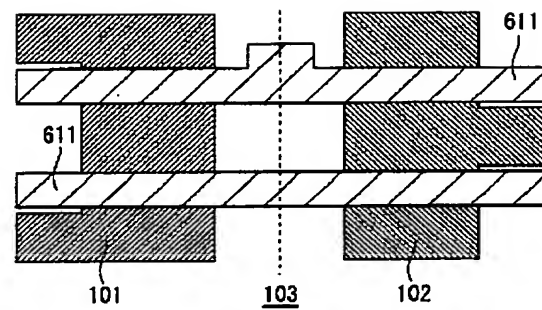


【図 10】

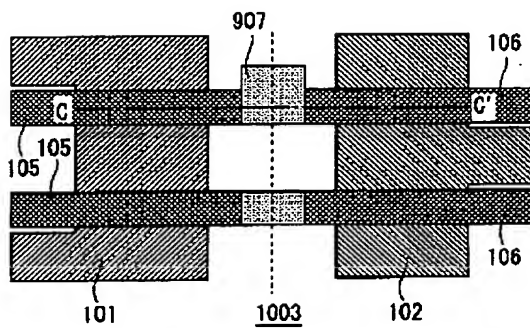
(a)



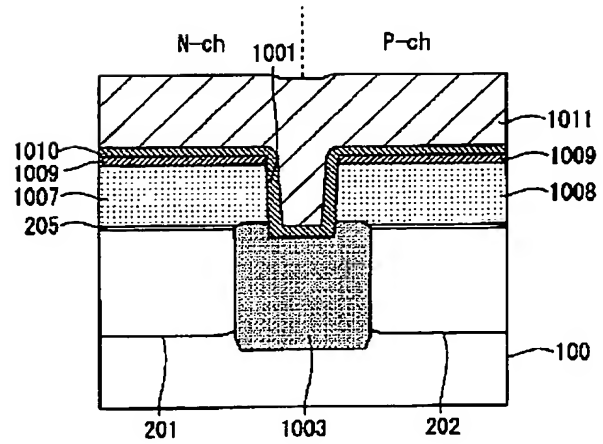
(b)



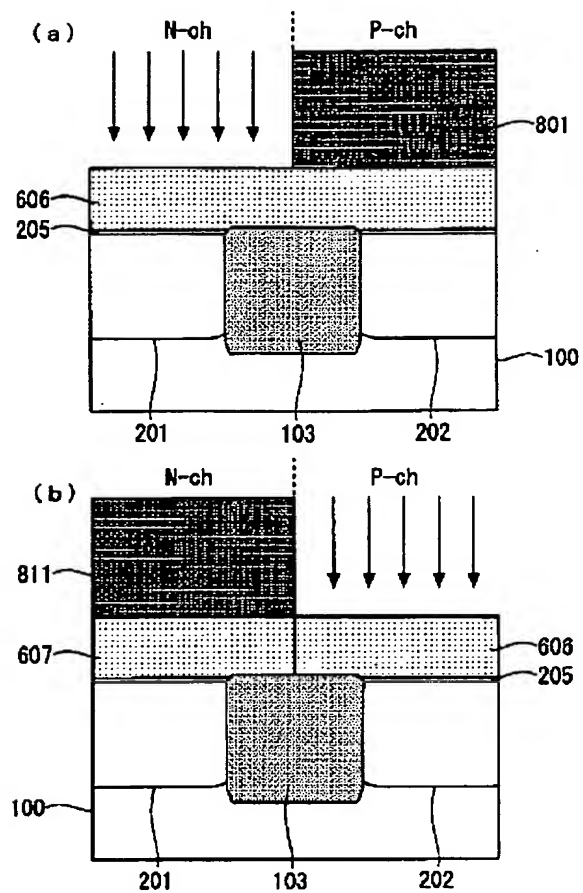
【図 13】



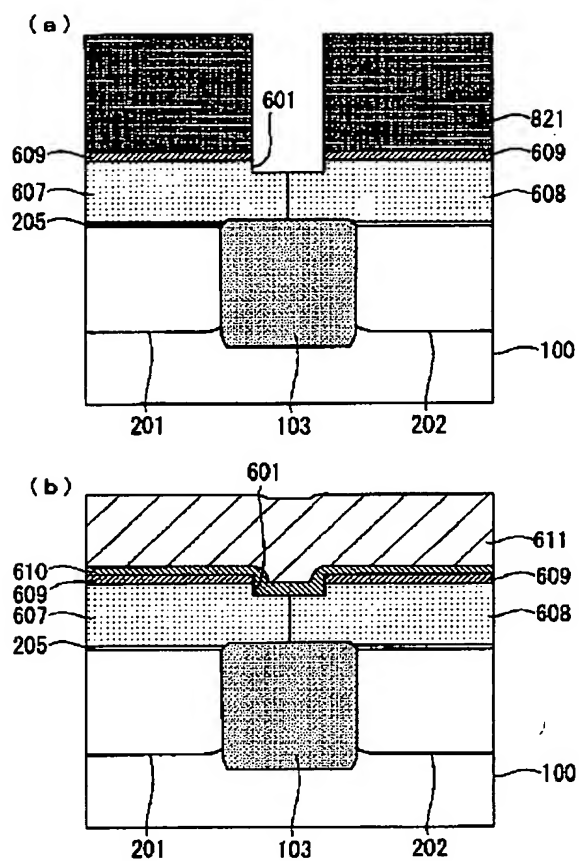
【図 14】



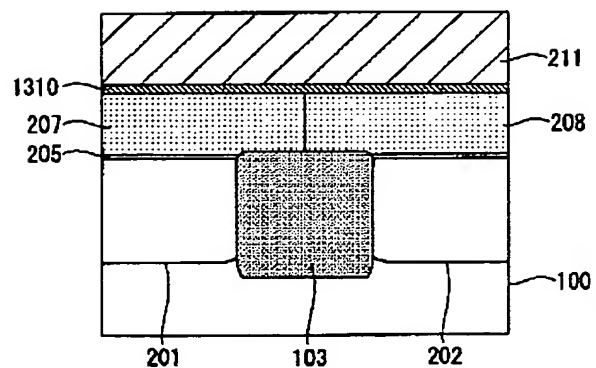
【図 11】



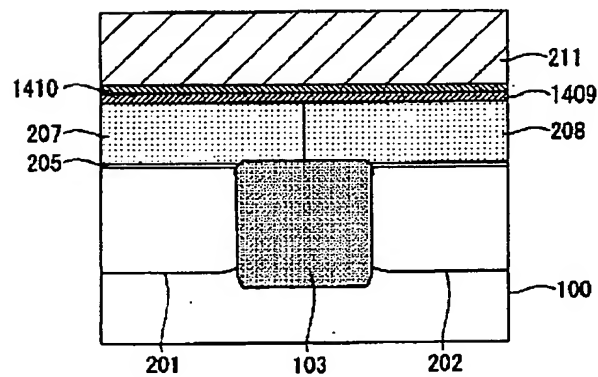
【図 12】



【図 19】

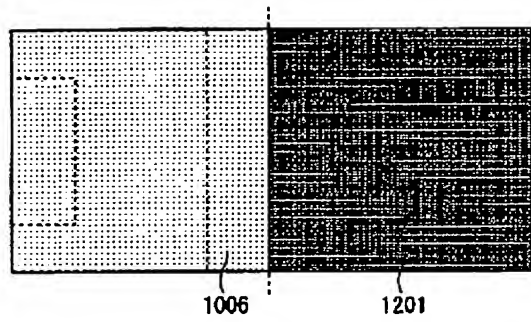


【図 20】

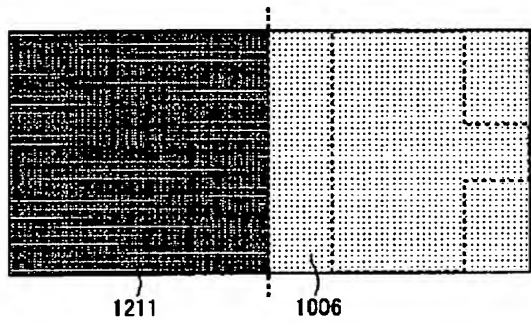


【図 15】

(a)

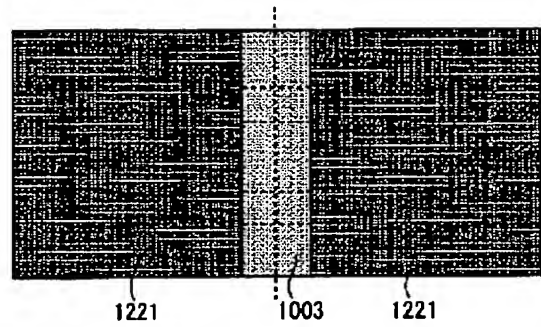


(b)

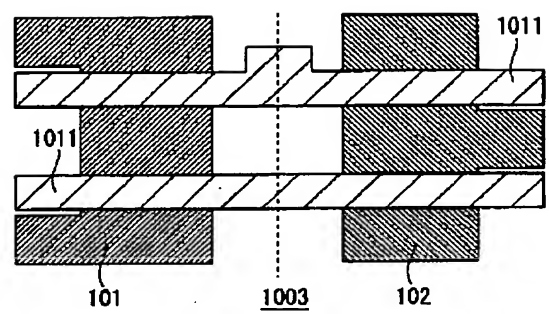


【図 16】

(a)

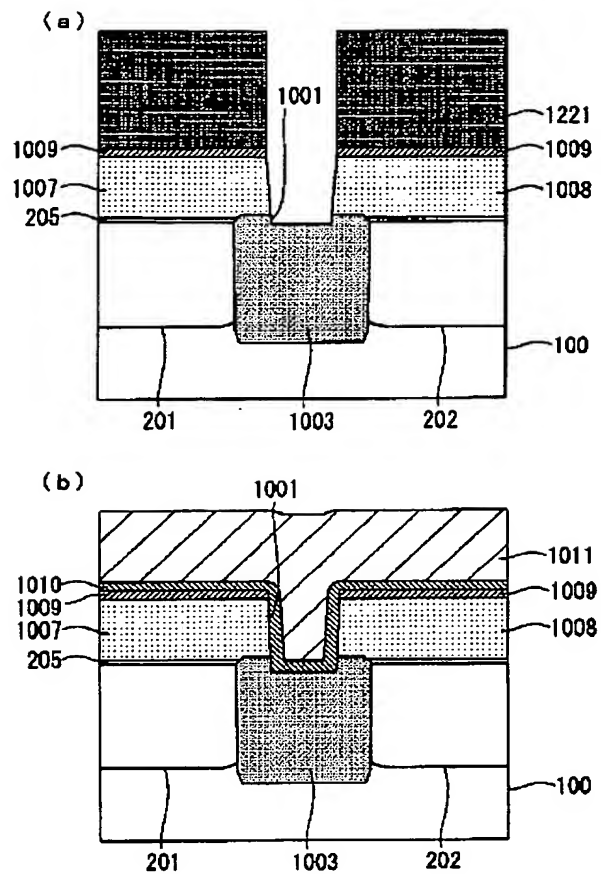


(b)





【圖 18】



F ターム (参考)	4M104	AA01	BB01	BB04	BB19	BB28
		BB33	CC05	DD28	DD37	DD43
		DD55	DD64	DD65	DD71	DD80
		DD84	DD88	DD94	EE03	EE14
		FF13	FF14	FF18	FF31	GG09
		GG10	GG14	HH10	HH15	HH16
	5F048	AA07	AC03	BB01	BB04	BB06
	BB07	BB08	BB12	BE03	BG01	
		BG13				